



THESE

Pour l'obtention du grade de
DOCTEUR

DISCIPLINE : PHYSIQUE
SPECIALITE : MICROELECTRONIQUE

EQUIPE : COMPOSANTS ET MICROELECTRONIQUE

Présentée par

Malika ALAMI MARKTANI

**Convertisseurs Analogique/Numérique pour les
capteurs d'images CMOS
- Proposition d'une nouvelle architecture -**

Directeur de thèse : Dr. Ali AHAITOUF

**Soutenu le 14 /01/2013
Devant la Commission d'examen**

JURY

M. Mouhcine ZOUAK	Président	FST, Fès
M. Badreddine BENAMEUR	Rapporteur	INPT, Rabat
M. Mourad LOULOU	Rapporteur	ENIS, Sfax
M. Hassane EL MARKHI	Rapporteur	FST, Fès
Mme. Geneviève DUCHAMP	Examinatrice	IMS, Bordeaux
Mme. Fatima ERRAHIMI	Examinatrice	FST, Fès
M. Abdelaziz AHAITOUF	Invité	FP, Taza
M. Stéphane VIVIEN	Invité	STMicroelectronics
M. Ali AHAITOUF	Directeur de thèse	FST, Fès

Résumé

LES capteurs d'images CMOS offrent des avantages considérables par rapport aux CCDs en termes de miniaturisation et d'intégration des caméras ainsi que pour la réduction de la consommation d'énergie. Une forte demande pour des matrices de pixels plus larges avec des pixels plus petits (avec des pitches $< 1.4\mu m$) fonctionnant à des fréquences de plus en plus grandes est d'actualité. Ceci augmente davantage les contraintes sur le bloc responsable de la conversion analogique-numérique (CAN). L'objectif de cette thèse est la conception et l'implémentation d'un CAN capable de satisfaire à toutes ces nouvelles spécifications.

L'architecture traditionnelle utilisant un convertisseur simple rampe par colonne de la matrice de pixels est incapable d'atteindre des vitesses de fonctionnement plus élevées. Le choix d'une architecture de conversion plus rapide pour une implémentation sur plusieurs colonnes peut donner lieu à un système avec un fort potentiel d'intégrabilité.

Le standard de la vidéo en haute définition spécifie une résolution de 10 bits pour le convertisseur. Dans cette thèse, nous ciblons une précision de 12 bits dans le but de ne pas être limité par le niveau du bruit et pour avoir une marge pour des corrections additionnelles.

Dans les capteurs d'image CMOS, le niveau du bruit dépend de l'amplitude du signal utile, d'où la particularité du convertisseur proposé : la résolution varie en fonction du niveau du bruit du signal à convertir. Pour les signaux de faible intensité, la résolution est de 12 bits, et pour les signaux de valeurs plus élevées, une résolution pseudo-12 bits est sélectionnée.

Un CAN à approximations successives est proposé, il traitera les données de 32 colonnes de la matrice de pixels. Pour une fréquence de fonctionnement de $8.33M\text{Samples}/s$ correspondant à 30 images par seconde, la puissance consommée indique que ce convertisseur peut être implémenté dans des dispositifs mobiles. Le cœur du CAN est un convertisseur numérique analogique (CNA) à redistribution de charge de 9 bits utilisant des capacités métal-métal. Le dimensionnement des capacités et le respect des considérations d'appariement ont été les étapes les plus critiques dans le processus du design et du dessin de masques.

Les résultats de simulations sont prometteurs, les valeurs récupérées pour les erreurs de non-linéarité sont limitées entre 0 et $1LSB$ pour l'INL et $-1LSB$ et $1.1LSB$ pour le DNL. Le convertisseur a un SNR de $71.5dB$, un ENOB de $11.3bits$ et un FOM de $3.339fJ/conv$.

Mots clés : Capteur d'image CMOS, Bruit du pixel, Convertisseur Analogique Numérique à Approximations Successives, Convertisseur Numérique Analogique différentiel à redistribution de charge, Bruit kT/C , Capacités à doigt type métal-métal, Comparateur dynamique, INL, DNL, SNR, ENOB, FOM.

Table des matières

Table des figures	xi
Liste des tableaux	xix
Liste des abréviations	xxii
Abstract	xxv
Résumé	xxvii
Introduction générale	1
I Introduction aux capteurs d'image CMOS	5
1 Principe fondamental de détection dans le silicium	6
1.1 Effet photoélectrique	6
1.2 Les photodiodes	8
2 Critères de performances	11
2.1 Paramètres géométriques	11
2.1.1 Résolution	11
2.1.2 Taille des pixels	12
2.1.3 Facteur de remplissage	12
2.2 Paramètres électriques	14
2.2.1 Dynamique	14
2.2.2 Temps de lecture	14
2.2.3 Bruit fixe	14
3 Les capteurs d'images de types CMOS	15
3.1 Principe	15

3.2	La matrice de pixel	17
3.2.1	Principe de fonctionnement	17
3.2.2	Approche pixel passif (Passive Pixel Sensor PPS)	18
3.2.3	Approche pixel actif (Active Pixel Sensor APS)	19
3.2.4	Cas particulier : APS en mode Logarithmique	21
3.2.5	Approche pixel digital (Digital Pixel Sensor)	23
3.3	La matrice de filtres couleur	24
3.4	Le circuit de lecture de colonne	26
3.5	Les décodeurs d'adresse	27
4	La conversion analogique numérique dans les capteurs d'images CMOS	27
4.1	La conversion au niveau de la sortie du capteur	28
4.2	La conversion au niveau de chaque colonne de la matrice de pixel	29
4.3	La conversion au niveau de chaque pixel	30
5	Bruits ou non uniformité des images	31
5.1	Le courant de noir	31
5.2	Le bruit temporel	31
5.3	Le bruit spatial fixe	32
6	Techniques de double échantillonnage	33
7	Type de capteurs d'image CMOS	34
7.1	Imageur CMOS	35
7.2	Rétine artificielle CMOS	36
8	Nouvelle génération de capteurs d'images CMOS : les capteurs rétro-éclairés	36
9	conclusion	37

II Objectifs et mise en œuvre de l'étude **39**

1	Objectifs du travail de recherche	40
2	Principes de la conversion analogique numérique	42
3	Critères d'évaluation des performances des CAN	45
3.1	Les paramètres statiques	46
3.1.1	La précision	46
3.1.2	La résolution	46
3.1.3	L'erreur d'offset	47
3.1.4	L'erreur de gain	47
3.1.5	La non-linéarité	47
3.1.6	La monotonicité et les codes manquants	49
3.2	Les paramètres dynamiques du domaine fréquentiel	49
3.2.1	Le rapport signal sur bruit (SNR pour Signal-to-Noise Ratio)	50

3.2.2	Le taux de distorsion harmonique total (THD pour Total Harmonic Distortion)	51
3.2.3	Le rapport signal sur bruit avec distorsion (SINAD pour Signal-to-Noise-and-Distortion Ratio)	51
3.2.4	Le nombre effectif de bits (ENOB pour Effective number of bits)	52
3.2.5	La plage dynamique (DR pour Dynamic Range)	52
3.2.6	La dynamique libre de raie parasites (SFDR pour Spurious-Free Dynamic Range)	52
3.3	Les paramètres dynamiques du domaine temporel	53
3.3.1	La gigue à l'ouverture	54
3.3.2	L'incertitude à l'ouverture	54
3.3.3	Le retard à l'ouverture	54
3.4	Le facteur de mérite	54
4	Principales architectures de la conversion Analogique-Numérique	55
4.1	Les CAN de Nyquist à haute vitesse	55
4.1.1	Les CAN flash ou parallèles (Flash ADC)	55
4.1.2	Les CAN Semi-Flash	56
4.1.3	Les CAN interpolés (Interpolationg ADC)	57
4.1.4	Les CAN à repliement (Folding ADC)	58
4.1.5	Les CAN entrelacés dans le temps (Time Interleaved ADC)	59
4.1.6	Les CAN pipelinés (Pipelined ADC)	60
4.1.7	Les CAN cycliques (Cyclic ADC)	61
4.2	Les CAN de Nyquist à haute résolution	62
4.2.1	Les CAN de poursuite ou CAN simple rampe	62
4.2.2	Les CAN double rampe	63
4.2.3	Les CAN par approximations successives	65
4.2.4	Les CAN algorithmiques	65
4.3	Les CAN sur-échantillonnés : les CAN Sigma-Delta	67
4.4	Conclusion	68
5	Etat de l'art des CAN dans les capteurs d'image CMOS pour la téléphonie cellulaire	68
5.1	Introduction	68
5.2	Exigences dues aux applications d'imagerie	69
5.3	Architecture série utilisant un CAN pipeliné	70
5.3.1	Limitations du CAN pipeliné	71
5.3.2	Réalisations antérieures	71

5.4	Architecture colonne-parallèle utilisant un CAN de poursuite à simple rampe	72
5.4.1	Limitations du CAN à simple rampe	72
5.4.2	Réalisations antérieures	72
5.5	Architecture colonne-parallèle utilisant un CAN à double rampe	73
5.6	Architecture colonne-parallèle utilisant un CAN à rampe non-linéaire	73
5.7	Architecture colonne-parallèle utilisant un CAN cyclique	74
5.8	Architecture colonne-parallèle utilisant un CAN à approximations successives	74
6	Conclusion : le choix de l'architecture à concevoir	74
III Architecture proposée : le CAN à approximations successives		77
1	La nouvelle configuration du capteur d'image	78
2	Aperçu sur le bruit au niveau du pixel	81
2.1	Introduction	81
2.2	Caractérisation du pixel utilisé	83
2.3	Conclusion	85
3	Le CAN à approximations successives proposé	86
3.1	Description fonctionnelle	86
3.2	Diagramme des temps	87
3.3	Description architecturale	88
4	Description détaillée des différents éléments constitutants	91
4.1	Le CNA à redistribution de charges	91
4.1.1	Description architecturale	91
4.1.2	Description fonctionnelle	93
4.1.3	Détermination de la valeur de la capacité unitaire du CNA	95
4.2	Le comparateur	96
4.2.1	Description architecturale	96
4.2.2	Calcul du gain	98
4.3	Le registre à approximations successives RAS et l'étage de sortie	103
5	Conclusion	107
IV Simulations du CAN à approximations successives		109
1	Mise en place de la simulation	109
1.1	Le simulateur	109
1.2	Le schéma de simulation	110
2	Simulation initiale	114
2.1	Vérification du fonctionnement du CNA	118

2.2	Vérification du fonctionnement du CAN-AS	120
3	Simulation dans les conditions réelles de fonctionnement	121
3.1	Calcul du pas de conversion T correspondant à 30fps	121
3.2	Résultats de simulation dans les conditions réelles de fonctionnement	123
4	Simulations du comparateur	125
4.1	Vérification de la valeur du gain	125
4.1.1	Vérification de la valeur du gain par une simulation AC . . .	126
4.1.2	Vérification de la valeur du gain par une simulation AC, DC, OP et TRAN	128
4.2	Fonctionnement à $T = 10ns$	128
5	Simulations du CNA	130
5.1	Simulation du convertisseur à 30fps avec des commutateurs idéaux et une capacité unitaire de 13fF	131
5.2	Caractérisation du CNA	132
5.2.1	Simulation transitoire	132
5.2.2	Mesure des temps d'établissement, de montée et de descente	134
5.2.3	Erreur due à l'injection de charge	135
6	Amélioration de la résolution ou introduction d'un gain	141
7	Ajout d'un offset	143
8	Evaluation des performances du CAN-AS	144
8.1	Calcul des paramètres statiques INL et DNL	144
8.2	Calcul des paramètres dynamiques	147
8.3	La consommation	148
8.4	Calcul de la figure de mérite	148
9	Conclusion	149
V Dessins de masques et simulations Post-Layout		151
1	Layout du CAN-AS	151
1.1	Définition du floor-plan	152
1.2	Implémentation physique du CNA	153
1.2.1	Conception des capacités	153
1.2.2	Création de la capacité unitaire	154
1.2.3	Réalisation du réseau de capacités	157
1.2.4	Réalisation de la partie logique du CNA	160
1.3	Implémentation physique du comparateur	162
1.4	Implémentation physique du registre à approximations successives et de l'étage de sortie	163
1.5	Implémentation physique du CAN-AS au complet	164

2	Simulation post-layout du CAN-AS	166
3	Conclusion	167
Conclusion générale et perspectives		169
Annexe : Techniques de dessins de masque		173
1	Dispersion de process et matching	173
1.1	Dispersion de process	175
1.2	Techniques de dessin de masque pour réduire le mésappariement . . .	175
1.2.1	Règle n°1 : même motif	176
1.2.2	Règle n°2 : même température	176
1.2.3	Règle n°3 : même orientation	177
1.2.4	Règle n°4 : minimiser les distances	178
1.2.5	Règle n°5 : Centroïde commune	178
1.2.6	Règle n°6 : même environnement	179
1.3	Précautions pour minimiser les éléments parasites	180
2	Astuces et principes de dessins pour minimiser le bruit	181
Références bibliographiques		185