



THÈSE DE DOCTORAT

Présentée par

Anass MANSOURI

TP
36A

Discipline : **Sciences de l'ingénieur**

Spécialité : **Microélectronique & Télécommunication**

**Étude, Modélisation et conception d'une architecture VLSI du
codeur JPEG 2000 - Implémentation sur FPGA -**

Soutenue le 11 Novembre 2009 à 15 h devant le jury composé de:

M. Mohssine ZOUAK	Doyen de la FST de Fès	<i>Rapporteur</i>
M. Samuel CRAND	Maître de Conférences à l'Université de Rennes IIETR	<i>Rapporteur</i>
M. Zouhair GUENNOUN	Professeur de l'école Mohamadia d'ingénieurs	<i>Rapporteur</i>
M. Mostafa MRABTI	Directeur de L'INSA de Fès	<i>Examineur</i>
M. Benachir BOUCHIKHI	Professeur de la faculté des Sciences de Meknès	<i>Examineur</i>
M. Abdelilah FALEH	Chef d'équipe Design de la société Lead Design	<i>Examineur</i>
M. Ali AHAITOUF	Professeur de la FST de Fès	<i>Directeur de thèse</i>
M. Farid ABDI	Professeur de la FST de Fès	<i>Co-directeur de thèse</i>

Résumé

Vu le progrès que connaît l'industrie des composants FPGA du point de vue capacité d'intégration et fréquence de fonctionnement, les architectures reconfigurables constituent aujourd'hui une solution efficace et compétitive pour répondre aux contraintes temps-réel imposées par les applications d'aujourd'hui.

Face à la complexité croissante des algorithmes de compression JPEG2000 et à la variété des profils d'applications supportés par ce standard, nous proposons dans ce travail une étude des possibilités d'implémentations matérielle de JPEG2000 pour les différentes algorithmes qui composent la chaîne de compression JPEG2000. Sur cette problématique globale, nous nous intéressons à la proposition et l'optimisation des architectures VLSI pour chaque bloc de la norme JPEG2000. Ensuite, nous proposons une architecture globale d'un système intégrable sur puce (SoC). Deux cartes FPGAs d'Altera type Stratix II et Cyclone II sont utilisés pour valider les architectures proposées et vérifier sa flexibilité et sa facilité d'intégration avec plusieurs applications. Ce travail de thèse a permis non seulement de couvrir une partie de l'espace des applications que JPEG2000 ciblait (image fixe), mais a démontré la possibilité de l'élargir à d'autres domaines tels que le cinéma numérique, l'imagerie satellitaire et vidéo sur Wireless. De plus cette thèse représente un moyen pour décider de l'adéquation architecture application de JPEG2000.

Mots Clés : Architectures VLSI, JPEG2000, implémentation FPGA, DWT-2D,

EBCOT, MQ-Coder.

Abstract

Facing the increasing complexity of JPEG2000 compression algorithms and variety of application profiles supported by this standard, in this work we propose a study of different possibilities for JPEG2000 hardware implementations for the algorithms that compose the chain of JPEG2000 compression. On this general problematic, we are interested to propose and to optimize the VLSI architectures for each bloc of the JPEG2000 standard. After the implementation stage, we switch to a second approach, which is the integration of the system on programmable chip. We will use for that a programmable circuit FPGA which allows broadening the spectrum of project use and interfacing with the peripheral applications passing through complex systems, to SoC (System on Chip). This thesis allows to cover part of the JPEG2000 applications that can target. Also, these hardware implementations increase the scope of JPEG2000 standard. Furthermore, this thesis represents a means to decide in the adequacy architecture application of JPEG2000.

Keywords : VLSI Architectures, JPEG2000, FPGA implementation, DWT-2D,

EBCOT, MQ-Coder.

Table des Matières

Introduction Générale	1
1. Contexte	1
2. Principales contributions	3
3. Organisation du document	4
Chapitre I: Conception des systèmes numériques.....	7
I.1 Introduction.....	7
I.2 Système sur puce	8
I.3 Circuits reprogrammables de type FPGA.....	9
I.3.1 Architectures et éléments des FPGAs.....	9
I.3.1.1 Couche opérative	10
I.3.1.1.1 Les cellules logiques.....	11
I.3.1.1.2 Les interconnexions.....	12
I.3.1.1.3 Les éléments d'entrées sorties	12
I.3.1.1.4 Les éléments de contrôle des horloges.....	13
I.3.1.2 Couche de configuration	13
I.3.2 Exemple de la famille Altera Stratix III	13
I.4 Méthodologie de conception.....	14
I.4.1 Objectifs.....	14
I.4.2 Contraintes pour la conception d'architectures VLSI.....	15
I.4.2.1 Contrainte de qualité.....	15
I.4.2.2 Contrainte du temps de compression.....	15
I.4.2.3 Contrainte de surface	16
I.4.2.4 Contrainte de flexibilité.....	16
I.4.3 Les éléments d'amélioration des phases de flot de conception.....	16
I.4.3.1 Simplicité.....	16
I.4.3.2 Abstraction	17
I.4.3.3 Modularité	17
I.4.4 Flot de conception	18
I.4.4.1 Diagramme en Y	19
I.5 Conclusion	23

Chapitre II: Normes de compression d'images	24
II.1 Introduction	24
II.2 Compression des images	25
II.2.1 Images numériques	25
II.2.2 Transformation de l'espace de couleur	26
II.2.3 Eléments d'un système de compression.....	27
II.2.3.1 Transformation	28
II.2.3.2 Quantification	28
II.2.3.3 Codage.....	29
II.3 Standards de compression des images.....	30
II.3.1 Norme JPEG	31
II.3.1.1 Transformation des couleurs.....	32
<i>II.3.1.1.1 Exemple avec Matlab</i>	32
II.3.1.2 Découpage en bloc	33
II.3.1.3 Transformation DCT	33
II.3.1.4 Quantification	35
II.3.1.4 Codage entropique.....	36
II.3.2 Norme JPEG2000	38
II.3.2.1 Fonctionnalités de JPEG 2000.....	38
II.3.2.2 Chaîne de codage.....	39
<i>II.3.2.2.1 Pré-Traitement</i>	40
<i>II.3.2.2.2 Transformée en ondelettes discrète</i>	41
<i>II.3.2.2.3 Quantification</i>	44
<i>II.3.2.2.4 Codage entropique Tier-1(T1)</i>	45
<i>II.3.2.2.5 Allocation de débit Tier-2(T2)</i>	49
<i>II.3.2.2.6 Organisation du bitstream</i>	50
II.4 Comparaison avec d'autres normes	50
II.4.1 Taux de compression.....	50
II.4.2 Protection face aux erreurs.....	52
II.4.3 Comparaison des fonctionnalités.....	52
II.5 Etat de l'art des implémentations software et hardware.....	53
II.5.1 Implémentations Software	53

II.5.2 Implémentations hardware	53
II.6 Conclusion	56
Chapitre III: Analyse et Conception Matérielle d'une Architecture VLSI pour la Transformée en Ondelettes Discrète 2-D.....	58
III.1 Introduction.....	58
III.2 Transformée en ondelettes discrète	60
III.2.1 Approche de convolution.....	61
III.2.1.1 Transformée en ondelettes discrète 2-D	62
III.2.2 Approche de Lifting Scheme	63
III.2.2.1 Algorithme du Lifting Scheme.....	63
III.2.2.2 Algorithme du Lifting Scheme pour le filtre de LeGall (5,3).....	64
III.2.2.3 Algorithme du Lifting Scheme pour le filtre de Daubechies (9,7)	65
III.2.3 Comparaison entre la convolution et le Lifting Scheme.....	66
III.3 Conception d'une architecture VLSI pour La DWT 2-D.....	67
III.3.1 Etat de l'art sur les architectures VLSI pour la DWT.....	68
III.3.1.1 Architectures VLSI pour la DWT 1-D	68
III.3.1.2 Architectures VLSI pour la DWT 2-D	69
III.3.1.2.1 Première architecture : niveau par niveau	70
III.3.1.2.2 Deuxième architecture : Architecture à base des blocs	71
III.3.1.2.3 Troisième architecture : Architecture à base des lignes.....	72
III.3.2 Conception et implémentation FPGA d'une architecture VLSI pour la DWT 2-D.....	74
III.3.2.2.1 Architecture VLSI de la DWT 2-D.....	75
III.3.2.2.2 Codage VHDL, Simulation, Synthèse et Implémentation FPGA	86
III.3.2.2.3 Analyse des résultats et comparaisons avec les autres travaux	92
III.4 Conclusion	97
Chapitre IV: Conception Matérielle et Implémentation FPGA d'une Architecture VLSI du bloc de l'EBCOT.....	98
IV.1 Introduction.....	98
IV.2 Algorithmes de compression d'image EZW et SPIHT	100
IV.2.1 Algorithme EZW.....	100
IV.2.2 Algorithme SPIHT	102
IV.3 Algorithme EBCOT dans la norme JPEG2000	103

IV.3.1	Algorithme EBCOT	105
IV.3.2	Etapes de codage de l'algorithme EBCOT	106
IV.3.3	Conception et implémentation FPGA d'une architecture VLSI pour L'EBCOT	112
IV.3.4.3.1	<i>Analyse de complexité</i>	115
IV.3.4.3.2	<i>Analyse de l'algorithme</i>	116
IV.3.4.3.3	<i>Analyse des ressources mémoire</i>	117
IV.3.4.3.4	<i>Architecture VLSI</i>	117
IV.3.4.3.5	<i>Bloc des mémoires</i>	119
IV.3.4.3.6	<i>Arrangement des mémoires et l'organisation des données</i>	120
IV.3.4.3.7	<i>Bloc des Switchs et des compteurs</i>	124
IV.3.4.3.8	<i>Bloc de génération des contextes et le multiplexeur de données</i>	124
IV.4	Conclusion	135
Chapitre V: Conception Matérielle et Implémentation FPGA d'une Architecture VLSI du bloc Du		
Codeur Arithmétique		
		137
V.1	Introduction	137
V.2	Codage arithmétique.....	138
V.2.1	Algorithme Q-Codeur	138
V.2.1.1	Convention de codage dans l'algorithme Q-Codeur.....	138
V.2.1.2	Caractéristiques de l'algorithme Q-Codeur.....	139
V.2.2	Codeur arithmétique MQ du JPEG2000	142
V.2.2.1	Améliorations de l'algorithme MQ-codeur	143
V.3	Analyse du MQ-codeur	147
V.3.1	Analyse des nombres de contexte consécutif qui ont la même probabilité	147
V.3.2	Analyse des nombres de LPS et MPS	148
V.3.3	Analyse d'une architecture du MQ-codeur avec 4 étages de pipeline	148
V.3.4	Analyse d'une architecture du MQ-codeur avec 3 étages de pipeline	150
V.4	Conception d'une architecture VLSI pour le MQ-codeur.....	152
V.4.1	Architecture VLSI du bloc MQ-codeur	152
V.4.1.1	Etage 1 de réception des contextes et des symboles	153
V.4.1.2	Etage 2 d'estimation des probabilités	153
V.4.1.3	Etage 3 de la mise à jour de l'intervalle A.....	154
V.4.1.4	Etage 4 de la mise à jour du registre C	155

V.4.1.5 Etage 5 de la génération de bit-Stream	155
V.4.2 Evaluation des performances	156
V.5 Conclusion.....	159
Conclusion Générale et Perspectives	160
Bibliographie	163
Annexes	174
Acronymes et Abréviations	199