



THÈSE DE DOCTORAT

Présentée par :

Fahd BENBOUBKER

Discipline : Sciences et Techniques de l'ingénieur
UFR : Signaux Systèmes et Composants
Spécialité : Microélectronique & Télécommunications

**Conception et Implémentation sur FPGA d'un nouvel
estimateur de mouvement pour un codeur vidéo
compatible MPEG4/H264**

Soutenue le 04 Décembre 2010, devant le jury composé de:

Pr Mouhcine ZOUAK	Doyen de la Faculté des Sciences et Techniques de FES	Président
Pr Seddik BRI	École Supérieure de Technologie de MEKNES	Rapporteur
Pr BadrEddine BENAMEUR	Institut National des Postes et Télécommunications de RABAT	Rapporteur
Pr Mostafa MRABTI	Directeur de l'École nationale des Sciences appliquées de FES	Examineur
Pr Chakib BAKKALI	Faculté des Sciences Dhar El Mehraz de FES	Examineur
M. Marc RIOU	Design Center Manager ST Ericsson, Rabat	Examineur
Pr Ali AHAITOUF	Facultés des sciences et techniques de FES	Directeur de thèse
Pr Farid ABDI	Facultés des sciences et techniques de FES	Directeur de thèse

Année Universitaire 2010/2011

Table des Matières

Table des Matières.....	2
Table des figures.....	4
Introduction Générale.....	6
Chapitre I : Généralités sur le Codage Vidéo.....	11
1.1 Introduction.....	11
1.2 Formats des Scènes Vidéo : Représentations des images numériques.....	11
1.2.1 Le Codage RGB.....	12
1.2.2 Le Codage YUV.....	12
1.2.3 Sous-échantillonnage de la chrominance.....	13
1.3 Principes du Codage Vidéo.....	16
1.3.1 Codeur Temporel.....	17
1.3.2 Codeur Spatial.....	19
1.3.2.1 La transformation unitaire (de domaine).....	20
1.3.2.2 La quantification.....	22
1.3.2.3 Réorganisation des coefficients (Reordering).....	24
1.4 Le Modèle de codage vidéo DPCM/DCT.....	26
1.5 Standard MPEG4 : Caractéristiques Générales.....	27
1.5.1 Le profil simple d'un codeur MPEG4.....	28
1.5.2 Codage binaire de la forme.....	29
1.5.3 Codage spatial.....	30
1.5.4 Codage Temporel.....	31
1.5.5 Transformation Fréquentielle.....	33
1.5.6 Quantification.....	33
1.5.7 Codage entropique.....	34
1.6 Conclusion.....	34
Chapitre II : Estimation de Mouvement.....	35
2.1 Introduction.....	35
2.2 Méthodes d'estimation de mouvement.....	36
2.2.1 Équation du flux optique.....	37
2.2.2 Méthodes différentielles.....	39
2.2.3 Méthodes de mise en correspondance.....	40
2.3 Critères d'estimation de mouvement.....	41
2.4 Les Algorithmes D'Estimation De Mouvement.....	42
2.4.1 Recherche Exhaustive (ES: Exhaustive Search).....	43
2.4.2 Recherche en trois étapes (TSS: Three Step Search).....	44
2.4.3 Recherche en quatre étapes (FSS: Four Step Search).....	46
2.4.4 Recherche en Diamant (DS: Diamand Search).....	47
2.4.5 Recherche logarithmique 2D.....	48
2.4.6 Recherche prédictive.....	48
2.4.7 Recherche hiérarchique.....	49
2.4.7 Remarque : Compensation de mouvement sub-pixel.....	50
2.5 Evaluation de la qualité d'un estimateur de mouvement.....	51
2.5.1 Evaluation des performances de l'ES.....	52
2.5.2 Evaluation des performances du TSS.....	53
2.5.3 Évaluation des performances du FSS (Four Step Search).....	55

2.5.4	Évaluation des performances du DS(Daimand Search).....	56
Chapitre III : Etapes de Conception des Codeurs Vidéo		59
3.1	Introduction.....	59
3.2	Les Interfaces d'un Codeur Vidéo.....	60
3.2.1	Les paramètres de contrôle	61
3.3	Conception logicielle d'un codeur.....	62
3.4	Conception d'un codeur matériel	64
3.4	Conclusion	68
Chapitre IV : Algorithme d'Estimation de Mouvement Proposé.....		70
4.1	Introduction.....	70
4.2	Algorithme D'Estimation De Mouvement Proposé	70
4.2.1	Recherche Récursive Par Bloc.....	72
4.2.2	Recherche Récursive Par Pixel	74
4.3	Résultats Expérimentales	75
4.4	Conclusion	81
Chapitre V : Implémentation Hardware		83
5.1	Introduction.....	83
5.2	Architecture matérielle du codeur MPEG4.....	83
5.3	Implémentation Hardware du block d'estimation de mouvement	86
5.3.1	Implémentation de l'algorithme d'estimation de mouvement proposé.....	87
5.3.1.1	Architecture Hardware Du PA-ME	88
5.3.1.2	Gestion du flux vidéo.....	91
5.3.1.3	Calcul Des Adresses Mémoire.....	98
5.3.1.4	Bloc De Calcul Des Vecteurs De Mouvement	100
5.3.1.5	Vérification Fonctionnelle	101
5.3.2	Implémentation matérielle de l'algorithme TSS	107
5.3.3	Synthèse Logique Et Implémentation sur FPGA.....	112
5.4	Conclusion	114
Conclusion Générale et Perspectives.....		115
Bibliographie		118