



Mémoire de Projet de fin d'étude

Préparée par

**ABOUZAID Oumaima**

Pour l'obtention du diplôme

Ingénieur d'Etat en

SYSTEMES ELECTRONIQUES & TELECOMMUNICATIONS

Intitulé

**Nanostructures d'oxyde d'indium pour les  
Mémoires Résistives RRAM intégrées en  
CMOS Back-End-Off-Line.**

Encadrée par :

**Pr AHAITOUF Ali**

**Pr SOUIFI Abdelkader**

Soutenu le **23 Juin 2016**, devant le jury composé de :

**Pr SOUIFI Abdelkader** : Encadrant

**Pr AHAITOUF Ali** : Encadrant

**Pr LAHBABI Mhammed** : Examinateur

**Pr ES-SBAI Najia** : Examinatrice

## ***Dédicace***

### ***A mes chers parents***

Les mots me manquent pour exprimer toute la reconnaissance, la fierté et profond amour que je vous porte pour les sacrifices, et les prières que vous n'avez jamais cessé de consentir pour mon instruction et ma réussite. Que Dieu tout puissant vous garde et vous procure santé, bonheur et longue vie pour que vous demeuriez le flambeau illuminant mon chemin.

### ***A mes frères, et à toute ma famille.***

Pour votre soutien pendant toutes ces longues années d'études. Que vous trouveriez dans ce travail, le témoignage d'un amour éternel.

### ***À mes chers ami(e)s***

Pour tous les magnifiques instants que nous avons vécus ensemble

### ***A tous ceux qui me sont chers.***

Je dédie mon travail...

***Oumaima ABOUZAIID***

## **Remerciements**

Je tiens à remercier toutes les personnes qui ont contribué au succès de mon stage de fin d'étude.

Tout d'abord, mes grands remerciements s'adressent à Madame Catherine Bru-Chevallier, la directrice de l'Institut des Nanotechnologies de Lyon de m'avoir accueillie au sein de son Laboratoire.

Je tiens à exprimer toute ma reconnaissance à mon directeur de stage Monsieur Souifi Abdelkader, professeur à l'INSA Lyon, pour le temps qu'il m'a consacré tout au long de cette période de stage, pour son suivi, et son encadrement sachant répondre à toutes mes interrogations .

Mes remerciements s'adressent également à mon professeur, Monsieur Ahaitouf Ali de la Faculté des Sciences et Techniques de Fès qui m'a beaucoup aidé que cela soit de trouver en premier lieu ce Stage qui m'a tant apporté sur tous les niveaux que cela soit aux niveaux compétence, connaissances et même personnel.

Je remercie également Mr Ayadi Khaled de la plateforme Nanolyon qui m'a accompagné tout au long de me stage et était responsable de toutes mes formations au différents équipements utilisés ainsi lors de toutes mes étapes expérimentales.

Je tiens également à remercier infiniment Monsieur Nicolas Baboux, Monsieur Liviu Militaru de l'Institut des Nanotechnologies de Lyon (INL). Monsieur Jeremy Moeyaert, Monsieur Thierry Baron du Laboratoire des Technologies et de la Microélectronique (LTM) pour avoir contribué à mon projet.

Sans oublier les doctorants du Laboratoire pour leur aide accompagnement sympathie et conseil.

D'autre part, je remercie toute l'équipe Dispositif Electronique ainsi que l'équipe photovoltaïque pour leur accueil, leur esprit d'équipe et leur soutien.

Je tiens à remercier aussi tout le corps professoral de la Faculté des Sciences et Techniques de Fès qui nous ont accompagnés tout au long de notre parcours universitaire.

Enfin j'adresse mes plus sincères remerciements à mes parents, mon oncle ici en France et mes frères qui m'ont toujours soutenu et encouragé au cours de mon stage.

## Table de Figures

Figure 1 : Structure d'une mémoire flash et une mémoire ReRAM	6
Figure 2: Schéma des caractéristiques courant-tension de mémoire ReRAM : a) unipolaire ; b) bipolaire [4]	11
Figure 3 : Schéma représentant l'effet de l'ajout de nanostructure au sein de l'isolant. [9]	13
Figure 4: Equipement de l'Atomic Layer Deposition au sein de l'INL	14
Figure 5 : Equipement du Microscope Electronique à Balayage au sein de l'INL	15
Figure 6: L'équipement du four à recuit rapide au sein de l'INL	16
Figure 7: Equipement XPS (Spectrométrie photoélectronique X) à l'école Centrale de Lyon	17
Figure 8 : Equipement d'évaporation par canon d'électrons ainsi que les masques utilisés	18
Figure 9 : Equipement du Keithley 4200 au sein de l'INL	19
Figure 10 : Images MEB des nanostructures d'indium	22
Figure 11 : Graphe XPS d'analyse de nos plaques de Silicium	27
Figure 12 : Graphe d'oxygène	28
Figure 13: graphe de référence du Silicium	28
Figure 14 : graphe de référence d'indium	29
Figure 15: Nouvelles plaques constituées de : Silicium + 2nm de SiO <sub>2</sub> + nanostructures d'indium	31
Figure 16: Mémoire réalisée	32
Figure 17: Utilisation du Keitley 4200	32
Figure 18 : Graphe de mesure d'Id en fonction de Vd d'un plot de 500 um à 300 K	33
Figure 19: Graphe de mesure d'Id en fonction de Vd d'un plot de 500 um à 300 K	34
Figure 20 : Superposition de tous les niveaux – Circuit finalisé	40
Figure 21: Résultat final	41

## Table des matières

<b>Introduction Générale</b>	1
<b>Chapitre I : Présentation du cadre général du projet</b>	2
<b>1.2 Présentation de l'organisme d'accueil</b>	3
<b>1.2.1 Présentation générale de l'INL</b>	3
<b>1.2.2 L'équipe Dispositif Electronique</b>	4
<b>1.2.2.1 Objectifs des dispositifs électroniques:</b>	4
<b>1.2.3 Activités scientifiques de l'équipe Dispositif Électronique</b>	4
<b>1.3 Cadre général du projet</b>	5
<b>1.3.1 Contexte général du projet</b>	5
<b>1.3.2 Le choix de l'indium In<sub>2</sub>O<sub>3</sub></b>	6
<b>1.3.3 Déroulement du projet</b>	7
<b>1.3.4 Processus de fabrication</b>	7
<b>Chapitre II : Etat de l'Art des Technologies Mémoires et les Formations Suivies</b>	9
<b>2.1 Introduction</b>	10
<b>2.2.4 Amélioration des dispositifs</b>	12
<b>2.3.1 L'atomic Layer deposition :</b>	14
<b>2.3.2 Le Microscope Electronique à Balayage</b>	15
<b>2.3.4 Spectrométrie photoélectronique X (XPS : X-Ray photoelectron spectrometry)</b>	17
<b>2.3.5 Evaporation par canon d'électrons</b>	18
<b>2.3.6 Le Keithley 4200</b>	19
<b>Chapitre III : Travail réalisé</b>	20
<b>3.1 Introduction</b>	21
<b>3.2 Les étapes Suivies lors du process</b>	21
<b>3.2.1 1ère méthode : Recuit Rapide et observation au MEB</b>	23
<b>Résultat obtenu de la première méthode :</b>	25
<b>3.2.2 2ème méthode : Spectrométrie photoélectronique X (XPS : X-Ray photoelectron spectrometry)</b>	25
<b>Résultats de nos analyses via XPS (Spectrométrie photoélectronique X)</b>	27
<b>3.2.3 L'Atomic Layer Deposition (ALD)</b>	30
<b>3.2.4 Etude Ellipsométrique</b>	30

3.2.5 Réalisation des contacts avec Evaporation par canon d'électrons	30
3.2.6 Conclusion	30
3.3 Procédé final	31
3.3.1 Mesures Electriques	32
3.3.2 Conclusion	34
3.4 Présentation du centre interuniversitaire de Microélectronique et Nanotechnologie	35
3.4.1 Introduction	35
3.4.2 Réalisation du transistor MOS	35
3.4.3 Plaquette vierge nettoyée	35
3.4.4 Oxydation humide	36
3.4.5 Photolithographie et gravure : ouverture zones actives	36
3.4.6 Oxydation sèche	36
3.4.7 Dépôt du Poly Si	37
3.4.8 Gravure du polysilicium et du SiO <sub>2</sub>	37
3.4.9 Implantation Source et Drain	38
3.4.10 Dépôt SiO <sub>2</sub>	38
3.4.11 Ouverture des contacts	38
3.4.12 La métallisation	39
3.4.13 Gravure métal, polysilicium et SiO <sub>2</sub>	40
Conclusion générale	42
Bibliographie :	43



## **Introduction Générale**

*Depuis que l'homme communique et transmet des informations à l'écrit se pose la question du stockage de celles-ci. C'est pour cela les mémoires informatiques ont été et resteront un sujet d'étude majeur. C'est pourquoi aujourd'hui encore il en existe une multitude, utilisant des technologies très différentes. En effet, malgré l'amélioration des techniques et la miniaturisation des composants, les industriels sont bloqués par les technologies de ces mémoires dont nous atteignons actuellement les limites. Il convient de rechercher les mémoires de demain dites universelles combinant efficacement tous les avantages de celles utilisées de nos jours. Nous nous penchons aujourd'hui sur de nouveaux procédés et phénomènes pour la réalisation de ces mémoires universelles et les structures Random Access Memory RRAM en particulier semblent très prometteurs.*

*L'objectif principal de ce projet est de réaliser des structures mémoires à switch résistives en introduisant des nanostructures d'indium.*

*Notre projet se déroulera sous deux différents volets .Le premier volet se basera sur les différents tests qu'on réalisera afin de connaître les différents composants et matériau qu'on souhaite déposer et leurs réactions avec l'introduction des nanostructures d'indium qui représente une nouveauté au sein de l'Institut des Nanotechnologies de Lyon.*

*Le deuxième volet se concentrera sur l'enjeu principal de ce projet de fin d'étude qui est la réalisation de nos structures mémoires à switch résistives donc les différents dépôts à effectuer dans le but d'observer les différentes commutations et donc le fonctionnement de ces mémoires.*

*Ce rapport sera organisé comme suit :*

*Première partie : Nous commencerons notre rapport par une présentation générale de notre organisme d'accueil, ainsi que le cadre général du projet.*

*Deuxième partie : Sur cette partie, nous allons se concentrer sur l'état de l'art des mémoires à switch résistives, quelques propriétés sur l'oxyde d'indium pour finir avec les différentes formations suivies au cours du stage.*

*Troisième partie : Dans cette partie on trouvera les différentes étapes suivies lors du processus de la construction de nos mémoires ainsi que les résultats obtenus lors de nos mesures électriques sur ces mémoires .D'autre part on défilera les différentes étapes de la construction d'un transistor MOS.*

***Chapitre I : Présentation du  
cadre général du projet***

## **1.1 Introduction**

*Dans ce chapitre, nous présenterons le contexte général du projet qui sera décliné en deux parties : La première présentera l'organisme d'accueil, et la seconde décrira le contexte et l'objectif attendu du projet ainsi que la planification du projet.*

## **1.2 Présentation de l'organisme d'accueil**

### **1.2.1 Présentation générale de l'INL**

*L'institut des Nanotechnologies de Lyon (INL) créée en 2007 est une unité mixte de Recherche (UMR 5270) dont les tutelles sont le CNRS (Centre National de la Recherche Scientifique), L'ECL (école Centrale de Lyon), L'INSA (Institut National des Sciences Appliquées), L'université Lyon 1 et CPE Lyon (école supérieure de Chimie Physique Electronique).*

*L'INL a pour vocation de développer des recherches technologiques multidisciplinaires dans le domaine des micros et nanotechnologies et de leurs applications.*

*Les recherches menées s'étendent des matériaux aux systèmes permettant l'émergence de filières technologiques complètes. Le laboratoire s'appuie sur la plate-forme technologique lyonnaise Nanolyon.*

*Les domaines d'application couvrent de grands secteurs économiques : L'industrie des semi-conducteurs, les technologies de l'information, les technologies du vivant et de la santé, l'énergie et l'environnement.*

*Les recherches sont articulées autour de quatre grandes thématiques :*

*Matériaux fonctionnels : Intégration monolithique d'oxydes fonctionnels sur Silicium, hétérostructures combinant semi-conducteurs et oxydes cristallins, oxydes, nanostructuration par anodisation électrochimique, la photonique, nanoémetteurs et nanosondes, nanocaractérisation, études physiques.*

*Électronique : Nano-dispositifs en Silicium, dispositifs intégrant des matériaux fonctionnels, architectures de calcul à base de technologies émergentes, systèmes de capteurs distribués, méthodes de conception hétérogènes, MEMS, caractérisation électrique à l'échelle micro et nanométrique.*

*Photonique et photovoltaïque : Cristaux photoniques, intégration nanophotonique, photovoltaïques sur silicium (procédés cellules, couches minces, nanostructures), caractérisations et Simulations optiques et électriques.*

*Biotechnologies et Santé : Nanotechnologies bottom-up, micro-nano-biosystèmes intégrés, capteurs biomédicaux, vêtements intelligents, laboratoire-sur-puce, micro-nano-fluidique.*

### **1.2.2 L'équipe Dispositif Electronique**

*J'ai effectué mon stage de fin d'étude au sein de l'équipe « dispositifs électroniques» qui comportent 13 enseignants-chercheurs et 15 doctorants et post-doctorants.*

#### **1.2.2.1 Objectifs des dispositifs électroniques:**

*Pour atteindre le niveau de performance requis par les applications du futur, les technologies des systèmes sur puce devra associer les technologies CMOS ultimes aux technologies post-CMOS et hétérogènes à l'échelle du milliard de composants élémentaires par puce.*

*Les équipes de la thématique électronique ont mis en place une approche verticale originale associant technologie, composants et systèmes pour maîtriser la modélisation et la conception de dispositifs et de fonctions avancées (micro et nanostructures en technologie silicium pour les MEMS et les NEMS, composants CMOS) et pour intégrer les nouveaux composants dans les architectures hétérogènes innovantes (intégration 3D ,modèles ,méthodes et outils pour la conception hétérogènes , nouvelles architectures de systèmes –cellules logiques reconfigurables ,architectures matricielles ,interconnexions intégrées, conditionnement de signaux ,conversion d'énergie , réseaux de capteurs).*

#### **1.2.3 Activités scientifiques de l'équipe Dispositif Électronique**

<b>Micro-NanoSystèmes et Micro Nanotechnologies Silicium</b>	<i>Développement technologique, intégration fonctionnelle, matériaux électroactifs, micro-structures de tests et caractérisation des matériaux en films minces. MEMS pour les applications RF, pour la récupération d'énergie, micro-capteurs et actionneurs</i>
--	--

<p><b>Nanocomposants sur Silicium</b></p>	<p><i>Développement de techniques de caractérisation en champ proche.</i></p> <p><i>Caractérisation électrique à l'échelle micro et nanométrique</i></p> <p><i>Dispositifs CMOS : caractérisation et modélisation</i></p> <p><i>Dispositifs post-CMOS : Conception réalisation, caractérisation modélisation compacte (SET, SEM, RTD...)</i></p> <p><i>Modèles compacts de nanocomposants.</i></p>
<p><b>Circuits nanoélectroniques Nano processeur : Technologies émergentes et architectures de calcul</b></p>	<p><i>Logique reconfigurable à base de composants émergents (CNTFETs, SETs, optique non linéaire ...) Fonctions électroniques à base de DGMOS, de CNTFETs, de SET/SEM. Architectures matricielles (reconfigurabilité complexe, méthodes de programmation, tolérance aux défauts, auto-configuration...)</i></p>
<p><b>Méthodes de conception hétérogène</b></p>	<p><i>Modélisation multi-domaine (optique, fluide, mécanique), multi-niveau (comportement, système). Méthode de conception par SoC (intégration 3D hétérogène, modèle de performance prédictive, optimisation non-linéaire ...)</i></p>
<p><b>Conception microélectronique hétérogène Systèmes de capteurs distribués</b></p>	<p><i>Conversion d'énergie mécanique (audio embarqué, amortissement de vibrations...) Imageurs pour la mesure des caractéristiques physicochimiques (découpages de pixels, capteur à 1photon)</i></p> <p><i>Réseaux de capteurs pour la collecte des données spatialement distribuées (systèmes d'exploitation pour reconfiguration dynamique, plateforme de conception, architectures de récepteurs RF multistandard)</i></p> <p><i>Modèles et méthodes de conception pour SoC hétérogène.</i></p>

## 1.3 Cadre général du projet

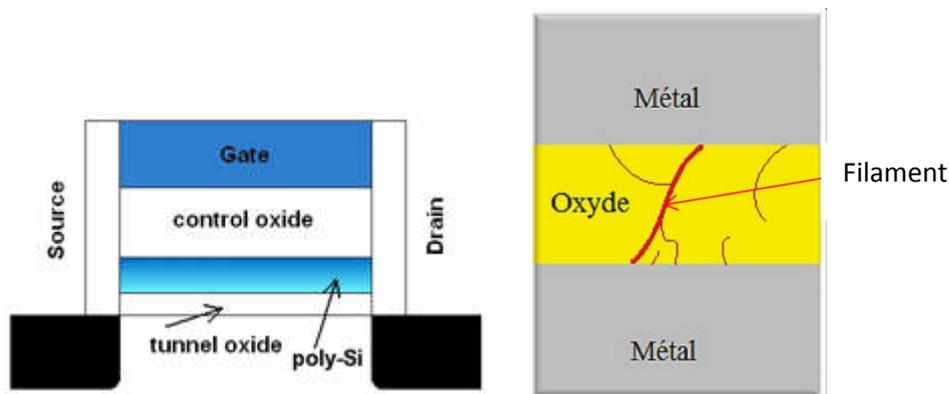
### 1.3.1 Contexte général du projet

*Les premières mémoires non volatiles à nanocristaux ont été mises sur le marché au début des années 2000.*

*Ces mémoires utilisent le piégeage de charge sur une nano-grille flottante. Les applications visées concernent principalement le stockage d'information pour les systèmes mobiles. Actuellement, des mémoires Flash 3D avec 512 Mbits de données*

ont été démontrées. Les densités d'intégration des mémoires Flash sont cependant limitées car un transistor est nécessaire pour la lecture de l'information sur chaque point mémoire.

Pour pouvoir poursuivre l'augmentation des performances en stockage dans les nœuds technologiques sub-20 nm les approches Mémoires ReRAM (Resistive Random Access Memory) semblent s'imposer [1]. Les mémoires ReRAM constituées d'une simple résistance dont l'état de résistivité définit le « 1 » ou le « 0 » sont très prometteuses pour les futures mémoires 3D. Les ReRAM permettraient le développement à très bas coût de mémoires non volatiles fonctionnant à faibles tensions d'écriture / effacement permettant ainsi une forte amélioration de l'endurance et donc de la fiabilité [2].



**Figure 1 : Structure d'une mémoire flash et une mémoire ReRAM**

### 1.3.2 Le choix de l'indium $In_2O_3$

L'oxyde d'indium  $In_2O_3$  est un semi-conducteur qui présente quelques avantages par rapport au Silicium tant utilisé. L'oxyde d'indium  $In_2O_3$  possède un offset de bande de conduction plus important que le Silicium avec le dioxyde de Silicium  $SiO_2$ , ce qui pourrait conduire à un meilleur confinement des électrons dans les nanostructures d'oxyde d'indium ( $nc-In_2O_3$ ) et donc un meilleur temps de rétention qu'avec les nanostructures de Silicium ( $nc-Si$ ).

### 1.3.3 Déroulement du projet

Mon stage de fin d'étude s'est déroulé en collaboration entre l'Institut des Nanotechnologies de Lyon et le Laboratoire des Technologies de la Microélectronique (LTM), où deux techniques étaient utilisées dans la fabrication de nos supports. La première approche consistait à déposer de très fines couches d'indium par une technique de dépôt en phase vapeur (PVD). Des recuits appropriés ont permis ensuite de contrôler le dé-mouillage des couches pour former des nanostructures de tailles variables entre 5 et 15 nm.

Des dépôts dans un réacteur MOCVD 300 mm ont également été effectués afin de former directement les nanostructures dans un procédé compatible avec une production industrielle.

Au niveau de l'Institut des Nanotechnologies de Lyon, on a complété le processus afin de construire des structures mémoires verticales à switch résistives ReRAM qui ont par la suite été soumises à des mesures électriques afin de vérifier le fonctionnement de nos structures réalisées.

### 1.3.4 Processus de fabrication

Pour aboutir à la construction de nos structures mémoires plusieurs étapes se sont imposées :

-Réception des 1<sup>ers</sup> échantillons du LTM constitués de :

I-Substrat Si – P-

II-100 nm d'Oxyde de SiO<sub>2</sub> Thermique :

III-Nanostructures d'Indium

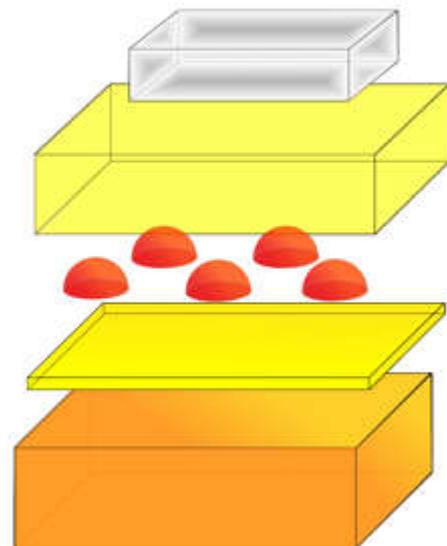
→Diamètres obtenus: 5 à 10 nm

→Faibles densités

→Le dépôt d'indium s'est fait par MOCVD à 300°C

→Oxyde natif In<sub>2</sub>O<sub>3</sub>

→Réalisation de plusieurs tests et études sur les plaques reçues afin de maîtriser notre processus avant la réception des échantillons finaux que nous développerons au cours de notre rapport :



- Observation au Microscope électronique à Balayage (MEB) des échantillons
- Recuit rapide RTA des différents échantillons sous différentes températures
- Analyses au X-ray photoelectron spectrometry (XPS)

- Utilisation de l'Atomic Layer Deposition pour le dépôt de l'alumine  $Al_2O_3$  afin d'avoir l'oxyde d'indium  $In_2O_3$
- Création des contacts électriques par évaporation

-Réception des 2<sup>èmes</sup> échantillons qui sont les supports finaux afin de pouvoir constituer nos structures mémoires ReRAM. Ces plaques sont constituées de :

**I-Substrat Si : N+**

**II-2nm d'Oxyde de  $SiO_2$  Thermique**

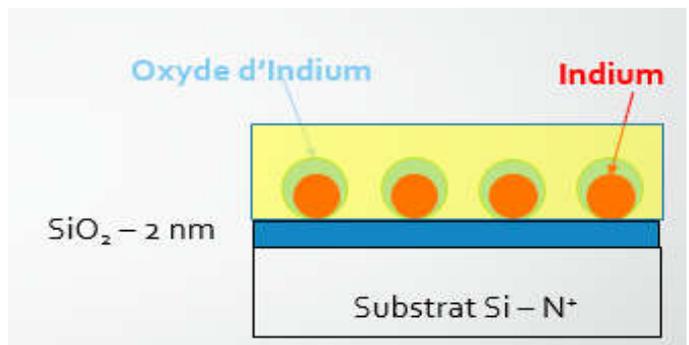
**III-Nanostructures d'Indium**

→Diamètres obtenus: 5 à 10 nm

→Faibles densités

→Le dépôt d'indium s'est fait par MOCVD à 300°C

→Oxyde natif  $In_2O_3$



*Chapitre II : Etat de l'Art des  
Technologies Mémoires et les  
Formations Suivies*

## **2.1 Introduction**

*Dans les mémoires conventionnelles, la dimension des dispositifs élémentaires a été réduite avec succès, permettant d'atteindre des capacités de stockage importantes. Cependant, avec la réduction de taille de la grille flottante, ces cellules mémoires atteindront leurs limites physiques dans un futur proche, la charge stockée devenant de plus en plus faible et empêchant une discrimination non-ambigüe des deux états binaires. L'introduction de nouveaux matériaux ou de nouveaux concepts mémoires est alors proposée pour résoudre ces problèmes. Bien que l'intégration de nouveaux matériaux au sein d'une architecture microélectronique entraîne des contraintes de fabrication supplémentaires, plusieurs technologies restent néanmoins prometteuses. Parmi elles, les mémoires à commutation de résistance aussi appelées ReRAM (Resistive Random Access Memories) proposées dans une perspective de développement de mémoires à très haute densité, en sont un bon exemple.*

## **2.2 Etat de l'art des mémoires ReRAM**

*La mémoire ReRAM se base comme son nom l'indique sur la capacité du composant à pouvoir stocker une information logique par la variation de sa résistivité contrôlée par l'application d'une tension : Ce composant est appelé switch résistif.*

### **2.2.1 Découvertes**

*Ce phénomène de variation de résistivité est observé dès 1960 même s'il n'est alors pas bien compris selon Pierre Camille Lacaze [3]. D'importants travaux vont être menés sur le phénomène dans le but de concevoir un composant potentiel de la microélectronique qui émerge dans les mêmes moments. Ces travaux vont être abandonnés au profit du composant dont l'étude est plus avancée et dont nous entrevoyons déjà les spectaculaires capacités : le MOSFET 1967. Ce n'est que récemment que le phénomène retrouve sa place dans les laboratoires, surtout à partir de 2005, avec comme objectif de se substituer à la technologie flash dont les limites seront prochainement atteintes.*

*La structure du composant est très simple, elle n'est pas sans rappeler celle d'un condensateur c'est-à-dire un sandwich Métal/Isolant/Métal (MIM). Dès sa première observation, plusieurs théories tentent d'expliquer la variation réversible de la résistance de cette structure très simple [3] :*

*- La première théorie imagine un stockage massif de charges opposées à la surface de chaque électrode amenant à des courants de diffusion à travers l'isolant.*

- La seconde théorie était basée sur la formation et rupture de filament de conduction entre les électrodes. C'est ce dernier modèle qui s'avèrera être le plus proche des observations expérimentales.

### 2.2.2 Principe de fonctionnement

La majorité des travaux effectués considèrent aujourd'hui que le mécanisme principal de variation de résistance du composant en fonction du potentiel appliqué est donc dû à la présence ou non d'un filament conducteur reliant entre elles les deux électrodes. Ainsi lorsque le filament est formé le composant a un état résistif bas soit un état logique ON et dans le cas d'une absence de filament un état résistif élevé soit un état logique OFF [4].

Il existe plusieurs phénomènes identifiés qui amènent à la commutation d'état de résistivité. Lorsque celui-ci dépend de l'amplitude de la tension appliqué quel que soit son signe nous parlons de commutation unipolaire et la caractéristique courant tension est asymétrique. Dans le cas où la commutation dépend également du signe de la tension appliquée nous parlons de commutation bipolaire avec une caractéristique courant-tension symétrique. Ces deux schémas de caractéristiques apparaissent dans la Figure 2 :

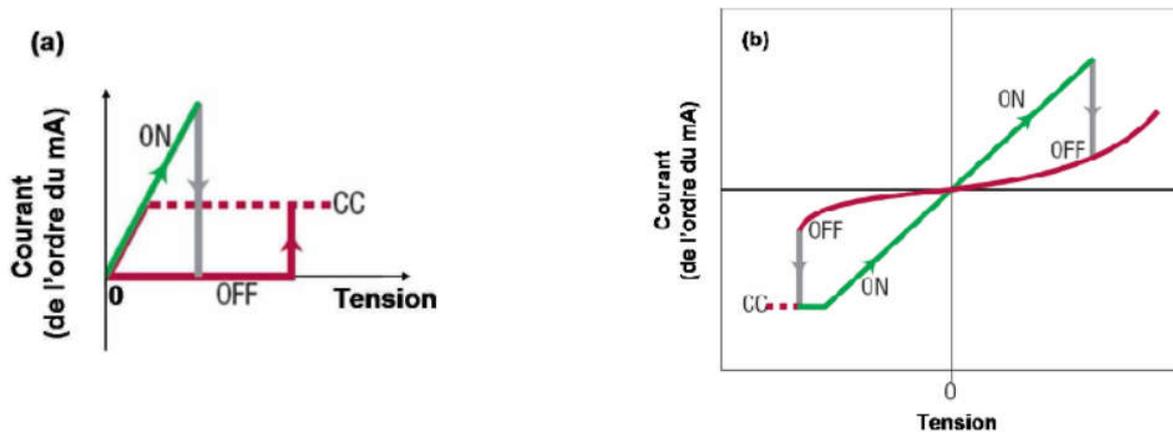


Figure 2: Schéma des caractéristiques courant-tension de mémoire ReRAM :

a) unipolaire ; b) bipolaire [4]

### 2.2.3 Phénomènes de commutation filamentaire

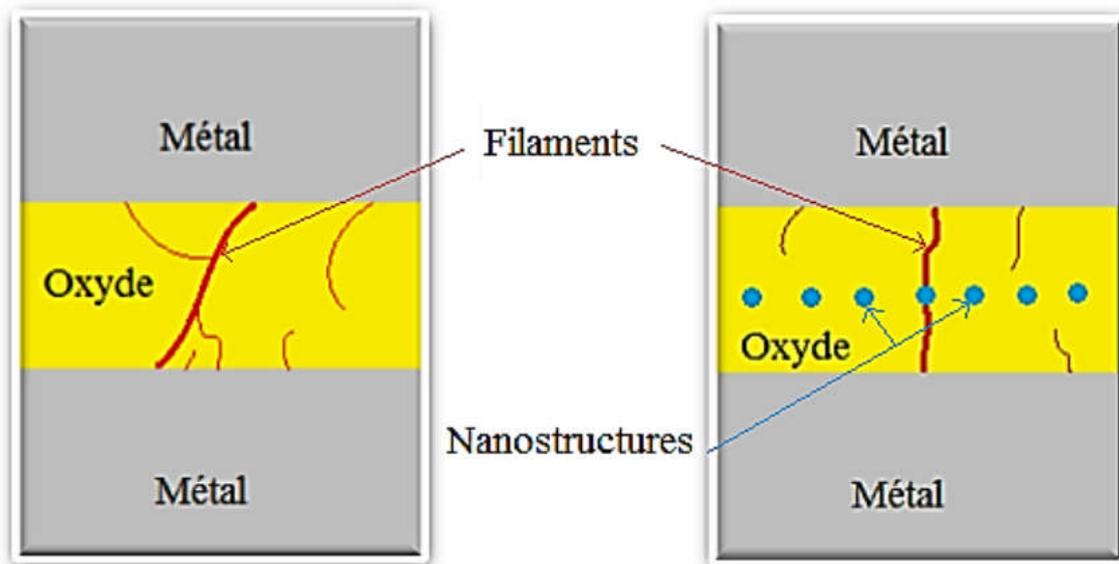
L'un des phénomènes connus de formation du filament de métal est un mécanisme thermo-chimique dit de métallisation. Ce phénomène a lieu dans les structures ayant une électrode en métal actif, et la seconde en métal inerte. Le filament se forme alors à partir du métal actif qui s'ionise sous l'effet du champ électrique et forme petit à petit un filament conducteur en précipitant

sur l'électrode inerte. L'état de résistivité basse est atteint lorsque le filament rejoint entre elles les deux électrodes. Il faut une polarisation inverse pour rompre le filament. Il est à noter que la première formation de filament laisse un grand nombre d'atome de l'électrode active au sein de l'isolant, ce qui facilitera la création des prochains filaments. La commutation a donc lieu par diffusion ionique dans l'isolant, processus que nous imaginons très long et dépendant en grande partie des défauts de l'isolant. Il se trouve que les besoins de miniaturisation font que ce problème est totalement transparent tellement les distances de diffusion dans l'isolant mince sont faibles.

Le temps de formage du filament lors du claquage est très long, mais il forme le chemin des futurs filaments dont le temps de formage sera extrêmement réduit et relativement reproductible. Le nombre de filament dans une même structure est souvent très limité car la formation d'un filament concentrera toutes les lignes de courant ce qui empêchera le formage d'autres filaments à proximité. Cependant il est à noter que ces formages de filaments sont totalement aléatoires et donc potentiellement non homogènes d'un composant à l'autre [5], [6], [7].

#### ***2.2.4 Amélioration des dispositifs***

Un intérêt tout particulier, durant ce projet de fin d'étude, va être apporté au rôle de l'ajout de nanostructures dans l'oxyde de notre mémoire RRAM. Sujet de nombreuses études actuelles, celles-ci pourraient considérablement augmenter les caractéristiques de nos mémoires par plusieurs phénomènes. A l'origine, l'ajout de nanostructure a été imaginé pour améliorer la reproductibilité de formation de filament dans les structures. En effet, par soucis de répétabilité il est souhaitable d'avoir une même réponse à un même stimulus dans la totalité de nos composants car la fiabilité de cette réponse est prépondérante dans l'optique de commercialiser ces mémoires. Comme le filament est créé de manière aléatoire lors de sa première formation et que chacun des changements d'état de la mémoire est lié à ce phénomène, il est nécessaire de trouver un moyen de le contrôler. L'ajout de nanostructure est très vite apparu comme une des solutions les plus aisées et les plus efficaces: en faisant croître des nanostructures soit à la surface d'une des électrodes, soit au milieu de l'isolant comme schématisé sur la Figure 3, il se crée des chemins favorables à la réalisation du filament. De cette manière nous augmentons à la fois l'homogénéité de nos mémoires mais également nous réduisons leurs temps de commutation. De plus il a été constaté que grâce à la réduction de la longueur des filaments, ceux-ci étaient plus stables dans le temps et nous augmentions de surcroit le temps de rétention de l'information [8], [9].



**Figure 3 : Schéma représentant l'effet de l'ajout de nanostructure au sein de l'isolant. [9]**

La présence de ces nanostructures concentrerait efficacement le courant en déviant les lignes de potentiel constant, les faisant converger. Ainsi les phénomènes de formations de filaments expliqués précédemment dans le chapitre « Phénomènes de commutation » seront non plus aléatoire mais dirigés grâce à ces structures [5].

La plupart des études utilisent des matériaux très différents aussi bien pour les électrodes, pour l'isolant que pour les nanostructures. Ces dernières sont bien souvent métalliques et leur impact va varier en fonction de leurs positions d'implantation dans la couche d'isolant [10].

Dans notre cas nous proposons d'améliorer les caractéristiques d'une mémoire en introduisant des nanocristaux d'oxyde d'indium (nc-  $\text{In}_2\text{O}_3$ ). En effet, l'oxyde d'indium  $\text{In}_2\text{O}_3$  est un semi-conducteur qui présente quelques avantages. L'oxyde d'indium  $\text{In}_2\text{O}_3$  possède un offset de bande de conduction plus important que les autres avec le dioxyde de Silicium  $\text{SiO}_2$ , ce qui pourrait conduire à un meilleur confinement des électrons dans les nanostructures d'oxyde d'indium (nc-  $\text{In}_2\text{O}_3$ ) et donc un meilleur temps de rétention.

L'oxyde d'indium est un matériau semi-conducteur de type n, les éventuelles lacunes d'oxygène existant dans le matériau viennent rapporter un dopage de type n supplémentaire. Ces sources de dopage n entraînent que le niveau de Fermi de l' $\text{In}_2\text{O}_3$  se trouve dans la bande de conduction, c'est-à-dire qu'ils sont des matériaux généralement dégénérés.

Le travail de sortie de l' $\text{In}_2\text{O}_3$  est parmi les plus élevés chez les semi-conducteurs, il vaut environ 5 eV et peut être modulé par des traitements de surface.

Nos nanostructures d'indium représentent un nouveau matériel au sein de l'Institut des Nanotechnologies de Lyon, c'est pour cela nous avons été ramené à faire plusieurs études sur nos échantillons avant de pouvoir continuer la construction de nos mémoires dites ReRAM.

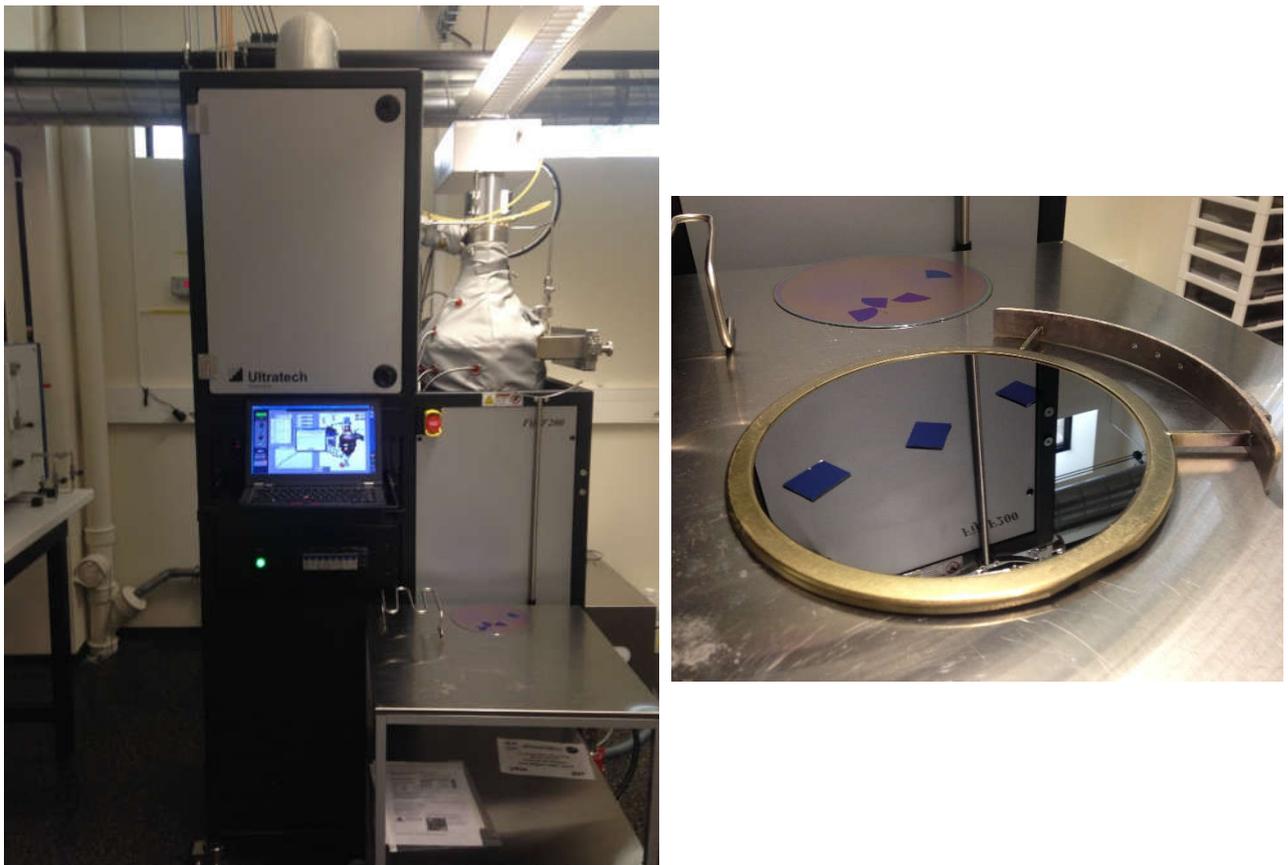
## **2.3 Formations Effectuées pour la fabrication et la caractérisation**

Afin de pouvoir faire nos études, nous avons été dirigé à faire plusieurs formations dans le but d'accéder aux différentes machines disponibles telles que :

### **2.3.1 L'Atomic Layer Deposition :**

L'Atomic Layer Deposition (ALD) est un procédé de dépôt de couches minces atomiques. Le principe consiste à exposer une surface successivement à différents précurseurs chimiques afin d'obtenir des couches ultra-minces. Il est utilisé dans l'industrie des semi-conducteurs.

L'énorme avantage de l'ALD est de pouvoir faire une monocouche sur une surface présentant un très fort rapport d'aspect (des creux et des bosses).

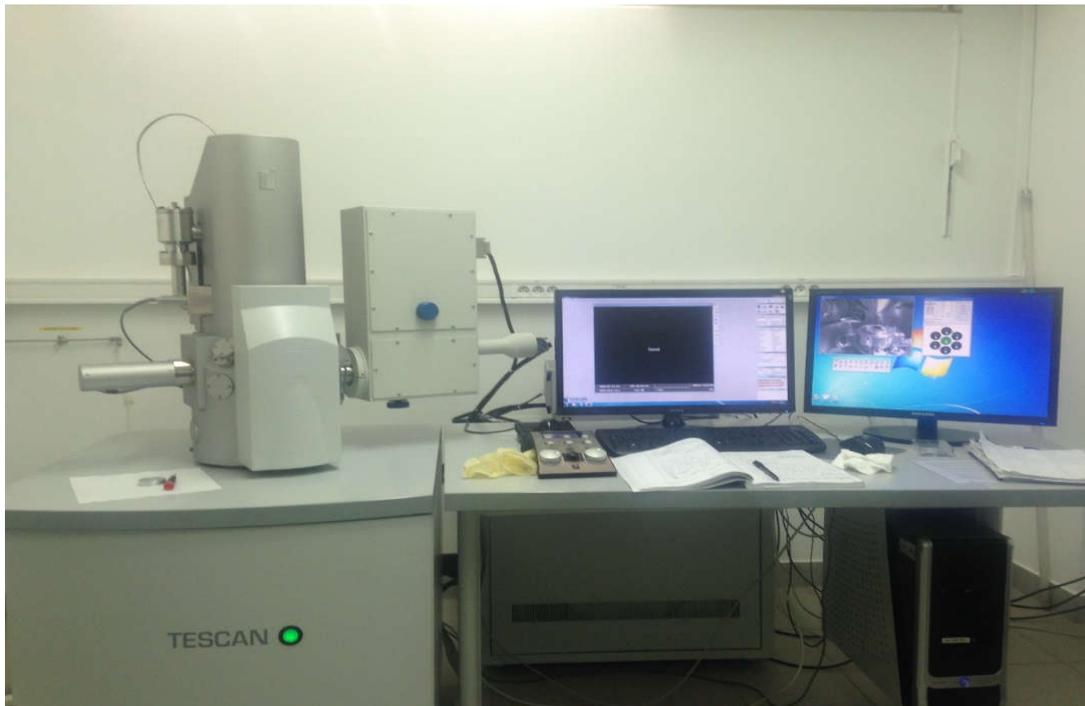


**Figure 4: Equipement de l'Atomic Layer Deposition au sein de l'INL**

### **2.3.2 Le Microscope Electronique à Balayage**

Un microscope électronique à balayage est essentiellement composé d'un canon à électrons et d'une colonne électronique, dont la fonction est de produire une sonde électronique fine sur l'échantillon, d'une platine porte-objet permettant de déplacer l'échantillon dans les trois directions et de détecteurs permettant de capter et d'analyser les rayonnements émis par l'échantillon.

On a eu recours à ce microscope pour observer la taille et la densité de nos nanocristaux d'indium.



**Figure 5 : Equipement du Microscope Electronique à Balayage au sein de l'INL**

### **2.3.3 Le Four à Recuit Rapide**

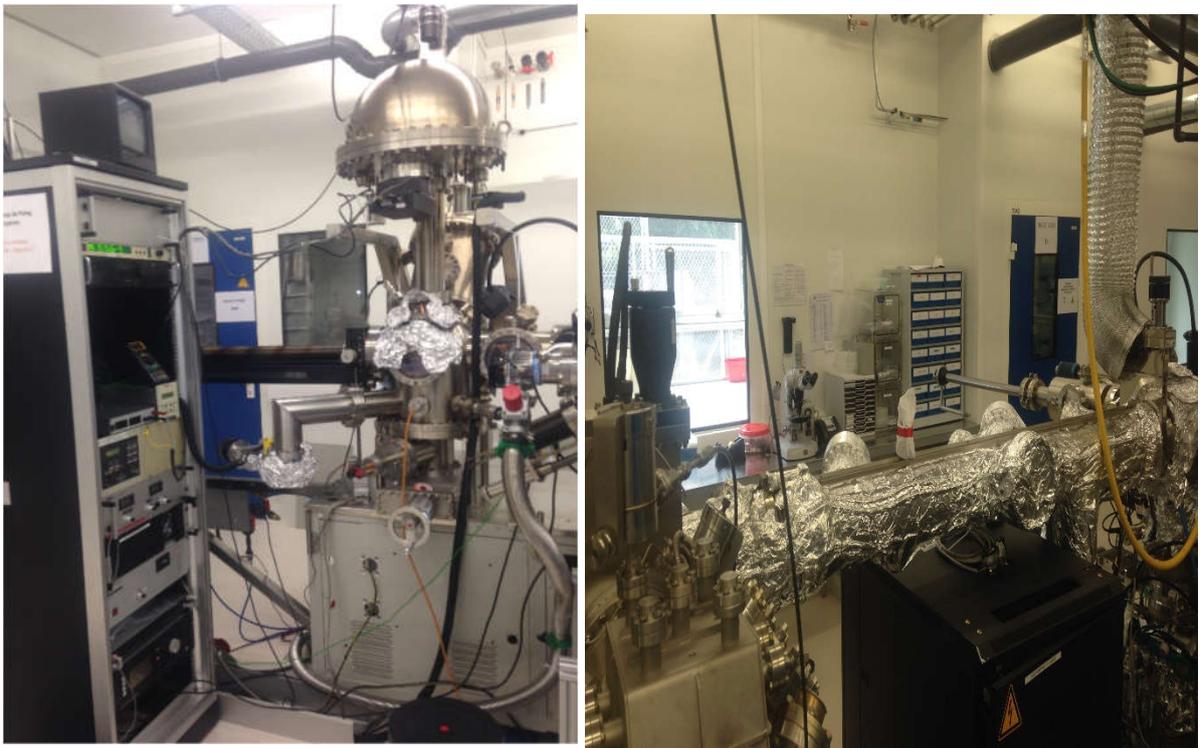
Le recuit rapide, ou Rapid thermal anneal en anglais, est un procédé qui consiste à chauffer une plaquette (wafer) pour en modifier les propriétés structurales. Les traitements thermiques peuvent servir à activer des dopants, relaxer des contraintes, diffuser des matériaux à l'interface, cristalliser une couche. Dans notre cas ce four nous a servi à observer l'influence de la température sur nos nanostructures d'indium.



**Figure 6: L'équipement du four à recuit rapide au sein de l'INL**

### **2.3.4 Spectrométrie photoélectronique X (XPS : X-Ray photoelectron spectrometry)**

Au cours de notre procédé on a eu également besoin de ce qu'on appelle la spectroscopie de photoélectrons X qui est utilisée dans les domaines de la recherche, du développement ou encore de la fabrication. Cette technique permet d'obtenir la composition chimique d'une surface d'un matériau sur une profondeur de 4nm. On peut déterminer, par exemple si ce matériau est oxydé en surface, ou s'il contient du fer ou du carbone, etc... Ce qui nous intéresse, c'est sa composition, c'est-à-dire, le pourcentage atomique de chacun de ces constituants.



**Figure 7: Equipement XPS (Spectrométrie photoélectronique X) à l'école Centrale de Lyon**

### **2.3.5 Evaporation par canon d'électrons**

Comme dernière étape vient la métallisation. Afin de constituer nos contacts on a eu recours à ce qu'on appelle une évaporation par canon d'électrons.

Ce système est spécifiquement dédié aux dépôts de métaux en couches minces. Il comprend une chambre à vide dans laquelle sont installées d'une part une source d'évaporation par faisceau d'électrons et d'autre part trois cibles de quatre pouces de diamètre pour la pulvérisation magnétron. Un sas permet de transférer les échantillons rapidement dans la chambre de dépôt. Cet appareil permet de déposer des couches de bonne qualité avec un bon contrôle sur l'épaisseur et une excellente uniformité.

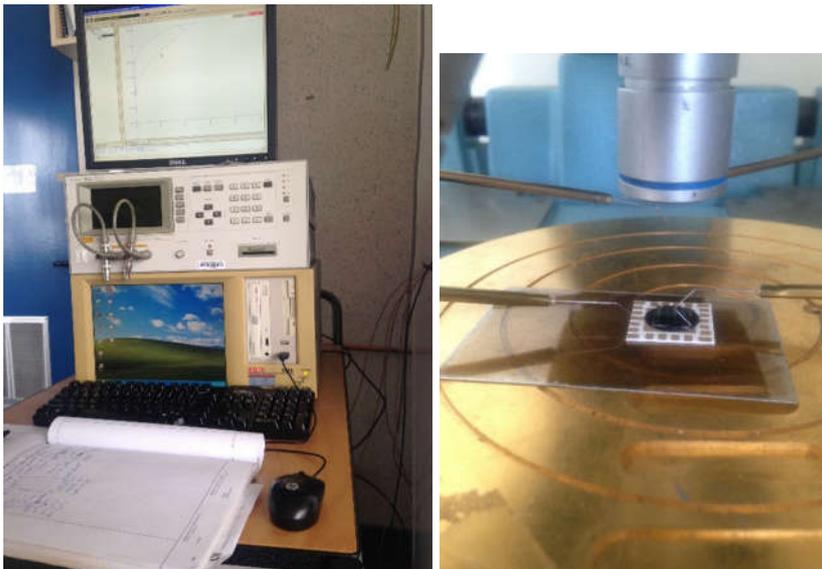
Comme l'image du dessous le montre, on a utilisé des masques de tailles différentes afin de réaliser nos contacts.



**Figure 8 : Equipement d'évaporation par canon d'électrons ainsi que les masques utilisés**

### **2.3.6 Le Keithley 4200**

Le Keithley 4200 est un système modulaire, personnalisable, et un analyseur de paramètres entièrement intégré qui fournit un aperçu synchronisé de courant-tension (I-V), capacité-tension (C-V), et la caractérisation électrique I-V. Il permet aussi de passer sans effort entre I-V et les mesures C-V sans re-câblage ou de soulever des aiguilles posées sur l'échantillon. Le Keithley 4200 accélère le contrôle des dispositifs complexes pour la recherche, la conception des dispositifs semi-conducteurs, le développement de procédés, ou de la production.



**Figure 9 : Equipement du Keithley 4200 au sein de l'INL**

## **2.4 Conclusion**

Grace à toutes ces formations réalisées nous avons eu accès à ces différentes machines afin de réaliser et nos tests et nos dépôts finaux que nous détaillerons dans le chapitre suivant.

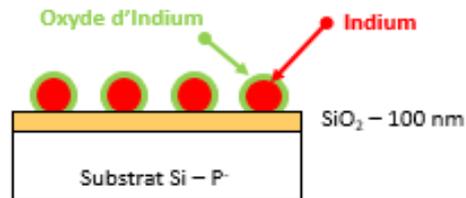
## ***Chapitre III : Travail réalisé***

### 3.1 Introduction

Comme nous avons déjà mentionné mon stage se fait en collaboration entre l'institut des nanotechnologies de Lyon (INL) et le Laboratoire des Technologies des Microélectroniques (LTM) de Grenoble.

Le but de mon stage se résume dans la constitution des différentes étapes d'une structure ReRAM avant de passer aux caractérisations électriques de ces mémoires construites.

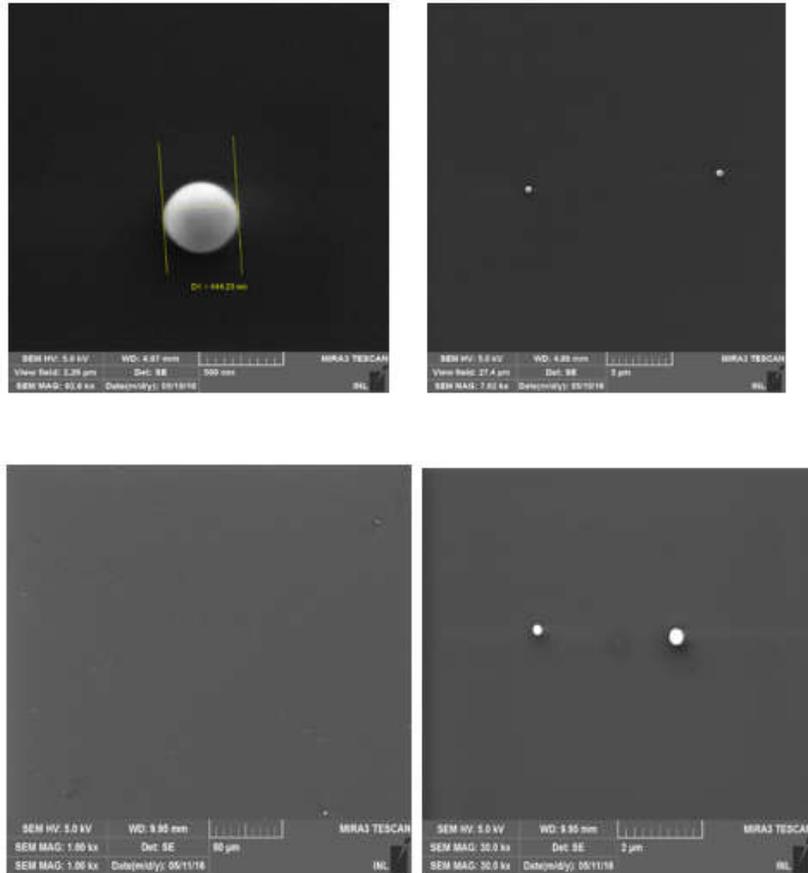
- Dans un premier temps des structures Métal /Isolant /Métal ont été réalisées sur des Substrats de Silicium de type P avec un dioxyde de Silicium  $\text{SiO}_2$  de 100 nm d'épaisseur afin de réaliser des tests avant la réception des plaques contenant 2 nm de  $\text{SiO}_2$  pour réaliser nos structures Métal /Isolant /Métal .



### 3.2 Les étapes Suivies lors du processus

Nous tenons à mentionner que l'indium représente un tout nouveau matériau au sein de l'Institut des Nanotechnologies de Lyon .Afin d'introduire ce matériau au sein de l'équipe Nanolyon qui est la plateforme technologique responsable des machines au sein de l'INL, il nous a fallu de faire plusieurs études et tests avant l'utilisation de différents machines afin de rassurer les autres utilisateurs que l'indium ne représente aucun risque voire contamination pour les autres utilisateurs.

Pour cela la première chose qui était faite est l'observation de nos nanostructures d'indium via le Microscope Electronique Balayage



**Figure 10 : Images MEB des nanostructures d'indium**

D'après nos images MEB nos nanostructures d'indium sont sphériques avec des diamètres allant de 250 nm à 450 nm.

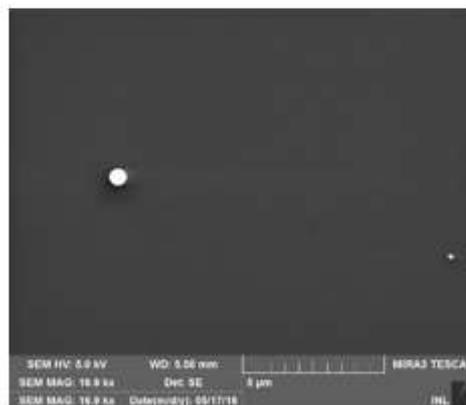
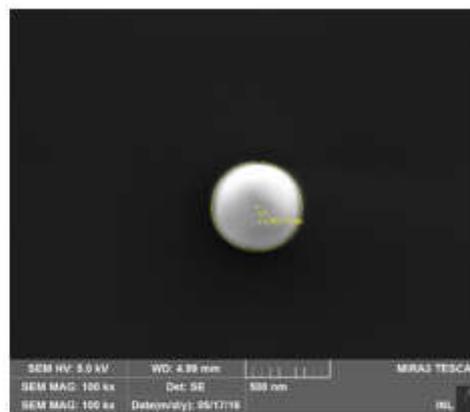
Avant d'accéder à la deuxième étape qui est le dépôt de l'oxyde d'Aluminium par Atomic Layer Deposition (ALD), nous avons été contraints à réaliser une étude afin de connaître le comportement thermique et la stabilité morphologique des nanostructures d'indium  $\text{In}_2\text{O}_3$  sur le dioxyde de Silicium  $\text{SiO}_2$ . Cette étude avait pour but de vérifier que l'utilisation de l'équipement ALD à une température de 200 °C n'affectera pas les autres échantillons par une contamination par évaporation des nanostructures d'indium. Pour cela on a opté pour deux méthodes qui sont un recuit rapide et puis observation par Microscope Electronique à Balayage (MEB) et comme deuxième méthode la Spectrométrie photoélectronique X (XPS : X-Ray photoelectron spectrometry)

### 3.2.1 1ère méthode : Recuit Rapide et observation au MEB

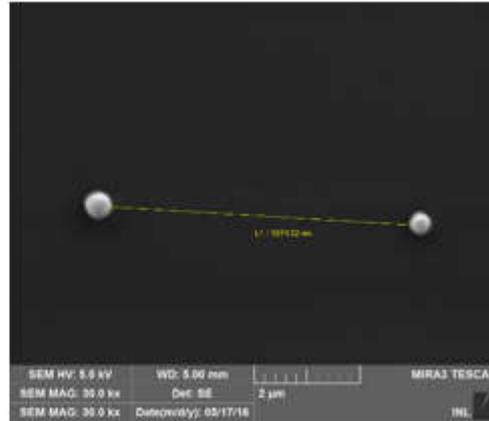
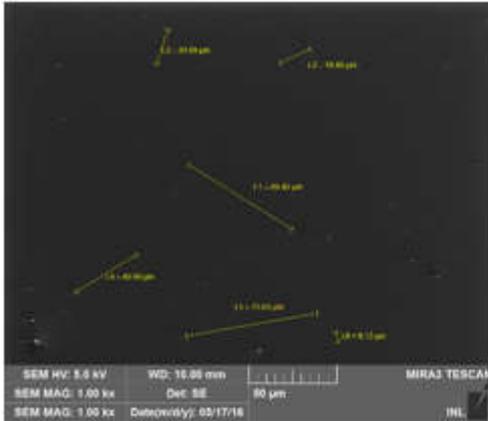
Durant cette étape nous avons opté pour un recuit thermique rapide ce qu'on appelle RTA (Rapid Thermal Annealing). Le principe de cette méthode comme on l'a déjà mentionné auparavant consiste à chauffer une plaquette (wafer) pour en modifier les propriétés structurales. Pour notre cas nos échantillons ont été soumis à de différentes températures allant de 100°C à 500°C. Afin d'observer les résultats de notre Recuit rapide sur nos échantillons on a utilisé le Microscope Electronique à Balayage (MEB).

Les images obtenues à de différentes températures sont les suivantes :

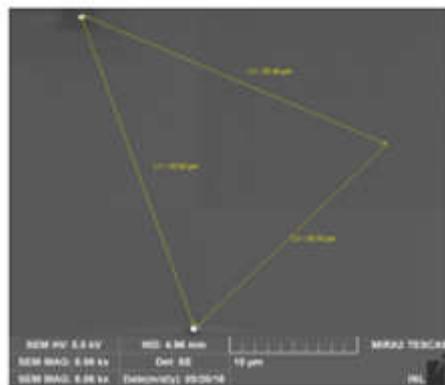
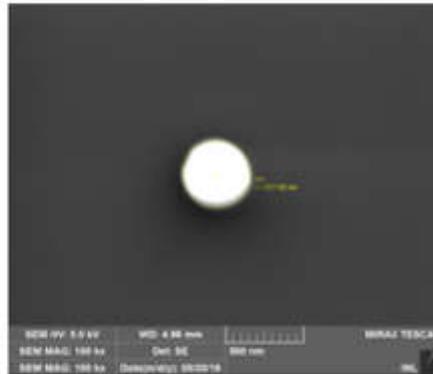
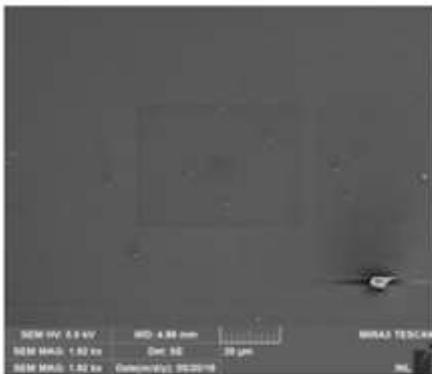
#### Echantillon 1 à 100°C pendant 1min



Echantillon 2 à 200°C pendant 1min



Echantillon 3 à 600°C pendant 1min



*Résultat obtenu de la première méthode :*

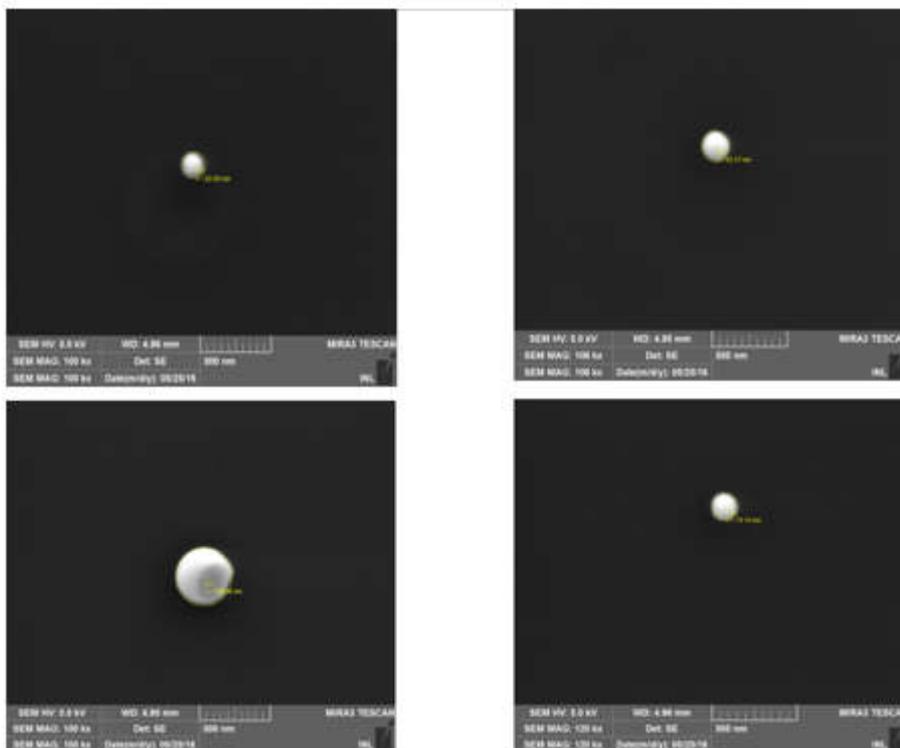
En ignorant les positions et le nombre de nos nanostructures dans nos échantillons, il nous a été difficile d'avoir des résultats sur le comportement thermique et stabilité morphologique de nos nanostructures d'indium sur le dioxyde de Silicium avec la méthode du Recuit. De ce fait, on s'est dirigé vers une autre méthode souhaitant avoir des résultats plus visibles voire concrets.

### **3.2.2 2ème méthode : Spectrométrie photoélectronique X (XPS : X-Ray photoelectron spectrometry)**

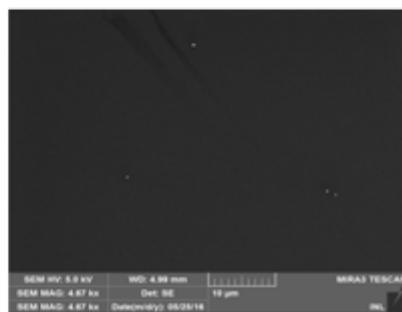
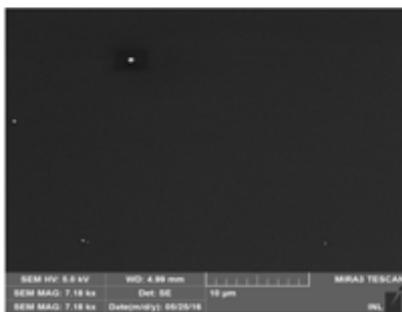
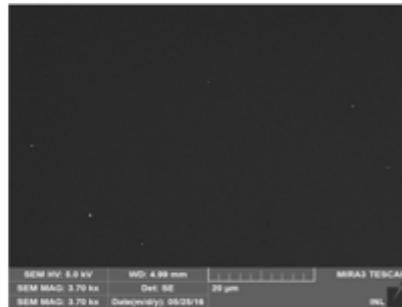
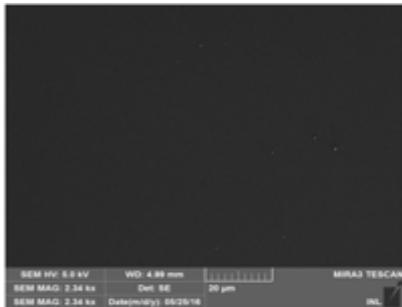
Le but de cette méthode est d'analyser le comportement morphologique de nos nanostructures d'indium cela veut dire est ce qu'il y'aura un changement après le recuit de nos échantillons .C'est ce qu'on essayera de conclure de notre étude via l'XPS (Spectrométrie photoélectronique X).

Pour cela on a pris des plaques de Silicium purs qu'on a introduit au même moment avec nos échantillons dans un four à recuit rapide. Avec cette étude on montrera si nos nanostructures d'indium s'évaporent à une température donnée .Si c'est le cas on trouvera des traces de l'indium sur nos plaques de Silicium purs.

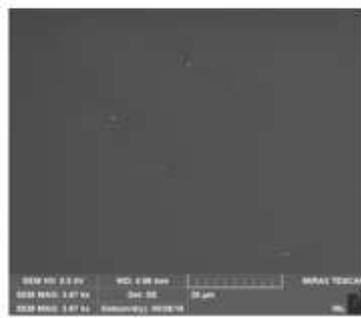
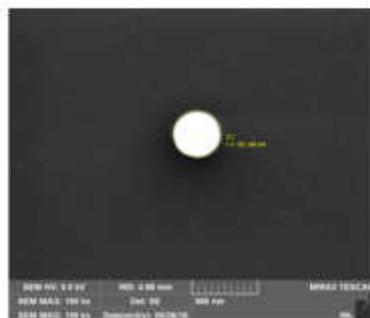
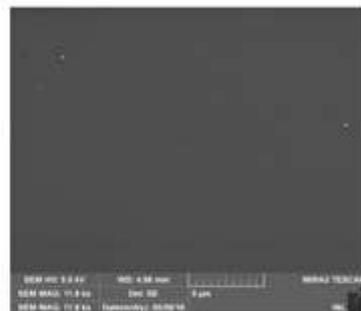
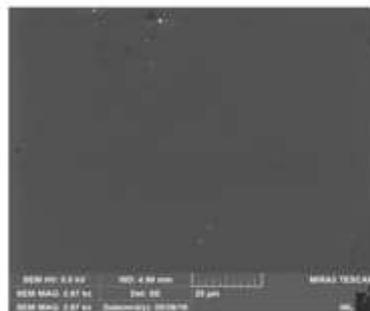
*Echantillon 1 Recuit à 150°C pendant 2min (la température monte jusqu'à 169°C durant le recuit)*



Echantillon 2 Recuit à 200°C pendant 2min (La température monte jusqu'à 220°C durant le recuit)



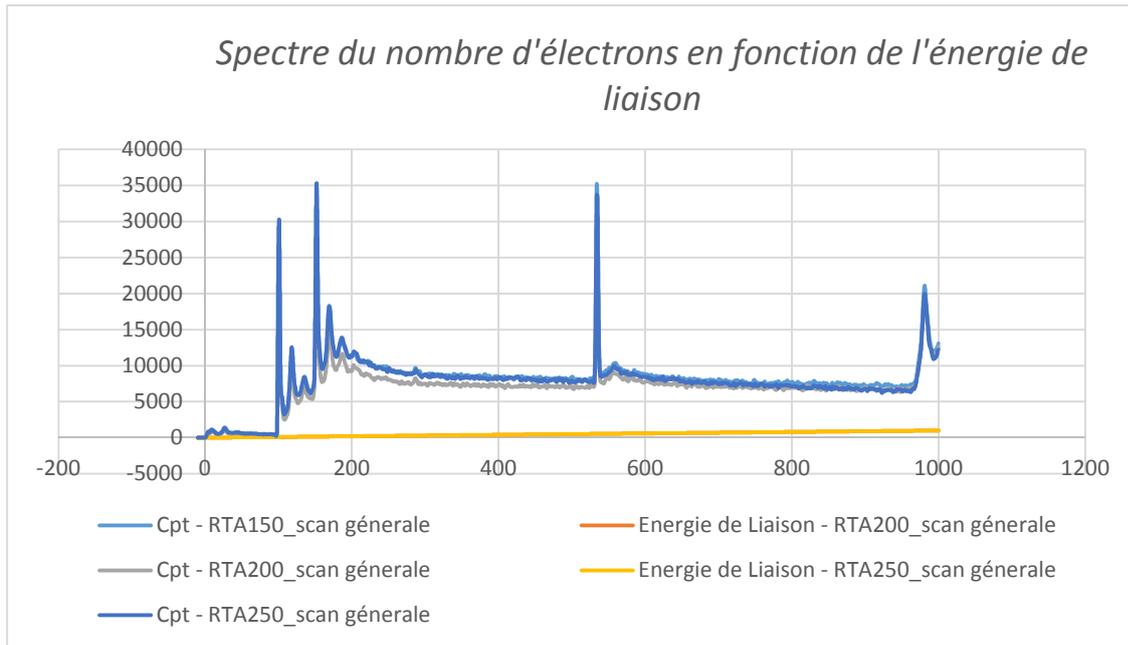
Echantillon 3 Recuit à 250°C pendant 2min (La température monte jusqu'à 260°C durant le recuit)



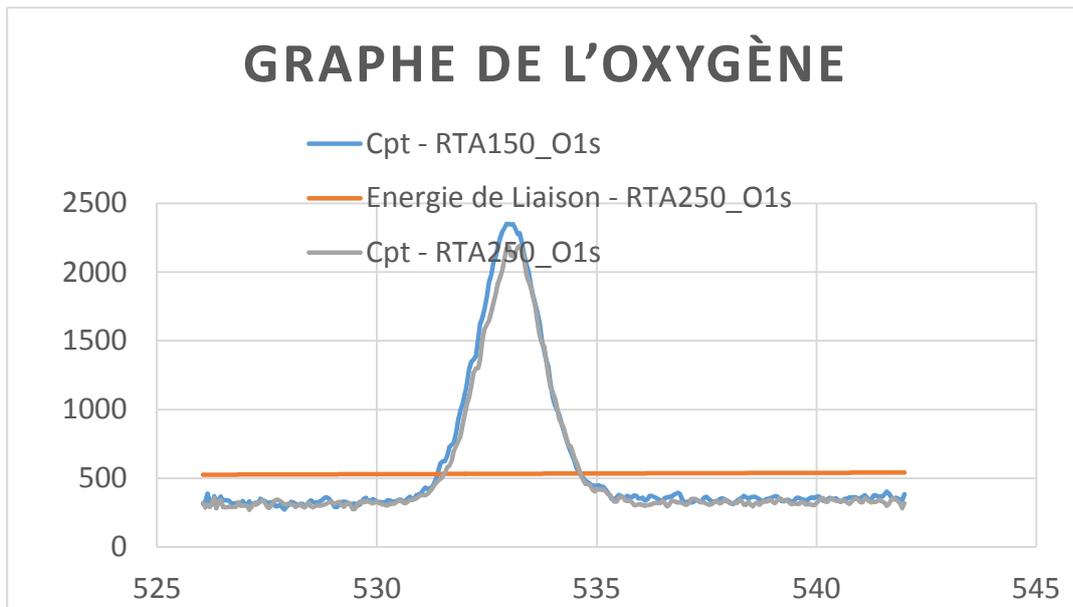
Il faut dans un premier temps préparer l'échantillon. La taille de nos échantillons est de 2 cm sur 2cm. Nos échantillons sont introduits dans une première enceinte (dite chambre d'entrée). Cette enceinte est mise sous vide grâce à un pompage permettant d'atteindre un vide de  $10^{-6}$  mbar. Une fois ce vide atteint, l'échantillon est transféré en chambre d'analyse et l'étude XPS peut commencer. Le vide dans cette chambre d'analyse atteint  $10^{-8}$  mbar.

## Résultats de nos analyses via XPS (Spectrométrie photoélectronique X)

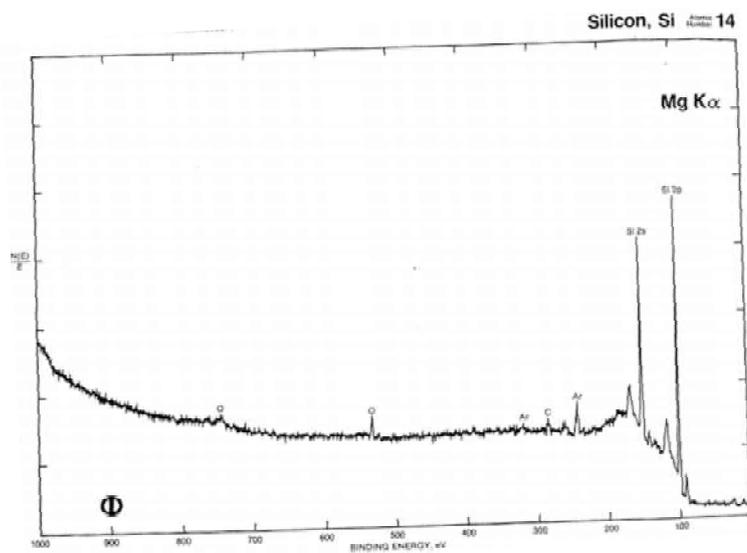
En utilisant le XPS on obtient les courbes suivantes



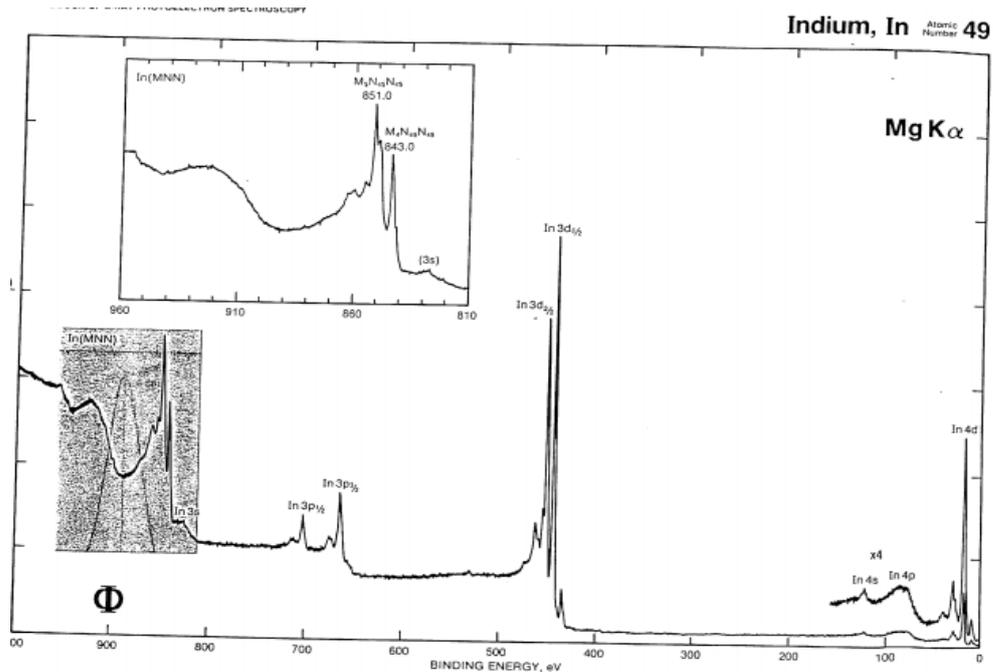
**Figure 11 : Graphe XPS d'analyse de nos plaques de Silicium**



**Figure 12 : Graphe d'oxygène**



**Figure 13: graphe de référence du Silicium**



**Figure 14 : graphe de référence d'indium**

### *Résultats obtenus de nos analyses XPS*

Après nos analyses via la XPS, on remarque que le graphe obtenu est le même que celui de référence de Silicium cela implique qu'on ne trouve pas de nanostructures d'indium sur nos plaques de références.

De ce fait on peut dire que nos nanostructures ne s'évaporent pas au moins jusqu'à atteindre 260°C, donc on n'aura pas d'évaporation donc pas danger de contamination pour les autres échantillons dans le système Atomic Layer Deposition.

Pour plus argumenter notre démonstration des chercheurs CNRS ont appuyé notre analyse en précisant qu'à 200°C, les nanostructures d'indium seront à l'état liquide car la température de fusion est  $T_f(\text{In})=154^\circ\text{C}$ . A cette température la pression de vapeur est faible et il n'y a donc pas de craintes d'avoir une possible contamination de notre réacteur au moins jusqu'à 450°C.

Typiquement, il faudrait chauffer l'indium au moins à 650°C pour avoir des pressions de vapeur voisines de  $10^{-8}$  torr.

Avec ces résultats on a eu l'accès à l'Atomic Layer Deposition (ALD).

### **3.2.3 L'Atomic Layer Deposition (ALD)**

La deuxième étape était l'utilisation de l'Atomic Layer Deposition dans le but de déposer de l'oxyde de l'Aluminium  $Al_2O_3$  sur nos nanostructures d'indium afin de les couvrir et obtenir de l'oxyde d'indium  $In_2O_3$ .

Après un dépôt de 170 cycles avec de l'Atomic Layer Deposition, il nous a fallu savoir combien de cycles correspondait à combien de nanomètres d'alumine déposé. Pour cela on a opté pour une étude ellipsométrique qui nous a donné l'épaisseur de la couche déposée.

### **3.2.4 Etude Ellipsométrique**

Comme quatrième étape on a eu recours à l'ellipsométrie qui est une technique optique d'analyse de surface fondée sur la mesure du changement de l'état de polarisation de la lumière après réflexion sur une surface plane.

Après le dépôt d'alumine nos échantillons ont été envoyés à l'école Centrale de Lyon pour les mesures et les ellipsométriques qui nous permettraient de connaître nos épaisseurs.

Après avoir fait le calcul, on a trouvé une épaisseur qui varie entre 12,4nm et 13nm et cette petite variation est due à la présence des nanostructures d'indium sur nos plaques. Soit 1 Cycle correspond à 0,076 nm.

### **3.2.5 Réalisation des contacts avec Evaporation par canon d'électrons**

L'une des dernières étapes intervenant dans le procédé de fabrication d'un circuit intégré est la métallisation. Elle consiste à déposer sur la surface de la plaquette une couche conductrice qui sera ensuite gravée pour définir les contacts qui permettent de relier le circuit intégré au monde extérieur. Pour cela on a utilisé des masques avec des plots de 500um et 1000um

### **3.2.6 Conclusion**

Après toutes ces études et tests réalisés on a pu démontrer que l'indium ne représente aucun danger pour les utilisateurs de l'équipe Nanolyon.

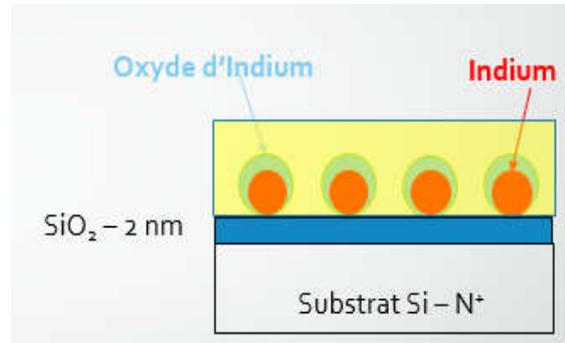
De ce fait l'accès aux différentes machines était assuré.

### 3.3 Procédé final

Après avoir reçu les plaques avec 2 nm de  $\text{SiO}_2$ , nous avons procédé à la constitution de nos mémoires ReRAM comme suit :

- Dépôt de 25 Cycles d' $\text{Al}_2\text{O}_3$  ce qui correspondait à (2-3nm) en calculant l'épaisseur avec l'ellipsomètre.

Avant la réalisation des contacts on a déposé en utilisant l'évaporation par canon d'électrons une couche d'accrochage qui est une couche de Chrome d'épaisseur 5nm avec une couche d'or de 200 nm d'épaisseur pour assurer les interconnexions.



- Réalisation des contacts métalliques par évaporation par canon d'électrons

- Pour réaliser les contacts métalliques on a utilisé un masque avec des Plots de 500 $\mu\text{m}$  et 1000 $\mu\text{m}$

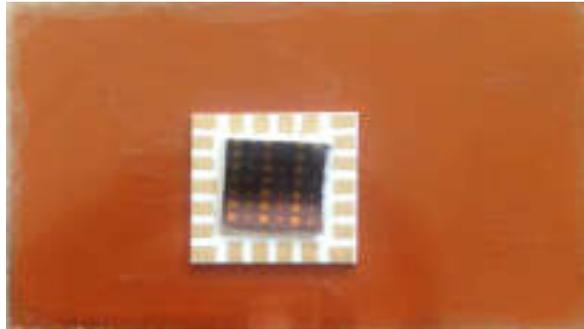
- Comme dernière étape on a procédé à un recuit à 400°C sous Azote ( $\text{N}_2$ ) pendant 10 min afin d'éliminer les diffusions entre les différentes couches déposées.



**Figure 15: Nouvelles plaques constituées de : Silicium + 2nm de  $\text{SiO}_2$  + nanostructures d'indium**

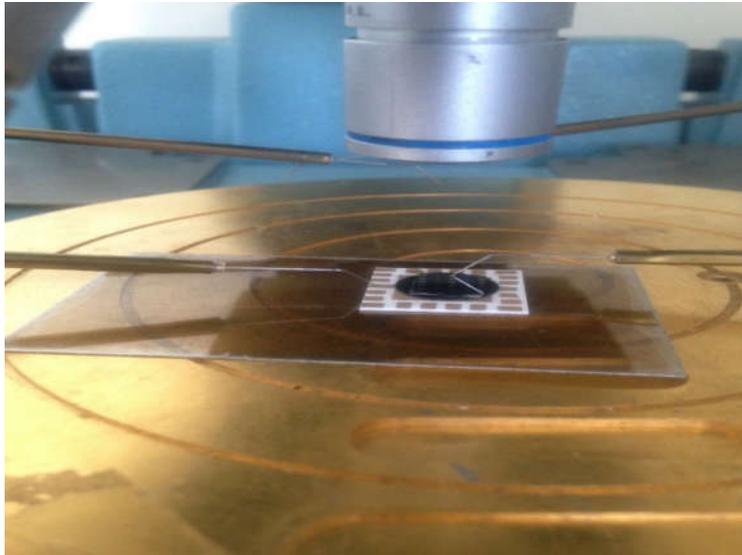
### **3.3.1 Mesures Electriques**

Après la Constitution de nos dépôts sur les plaques avec 2nm d'épaisseur de Silice ( $\text{SiO}_2$ ), on a entamé les caractérisations électriques de nos mémoires ReRAM à l'aide du Keithley 4200.



**Figure 16: Mémoire réalisée**

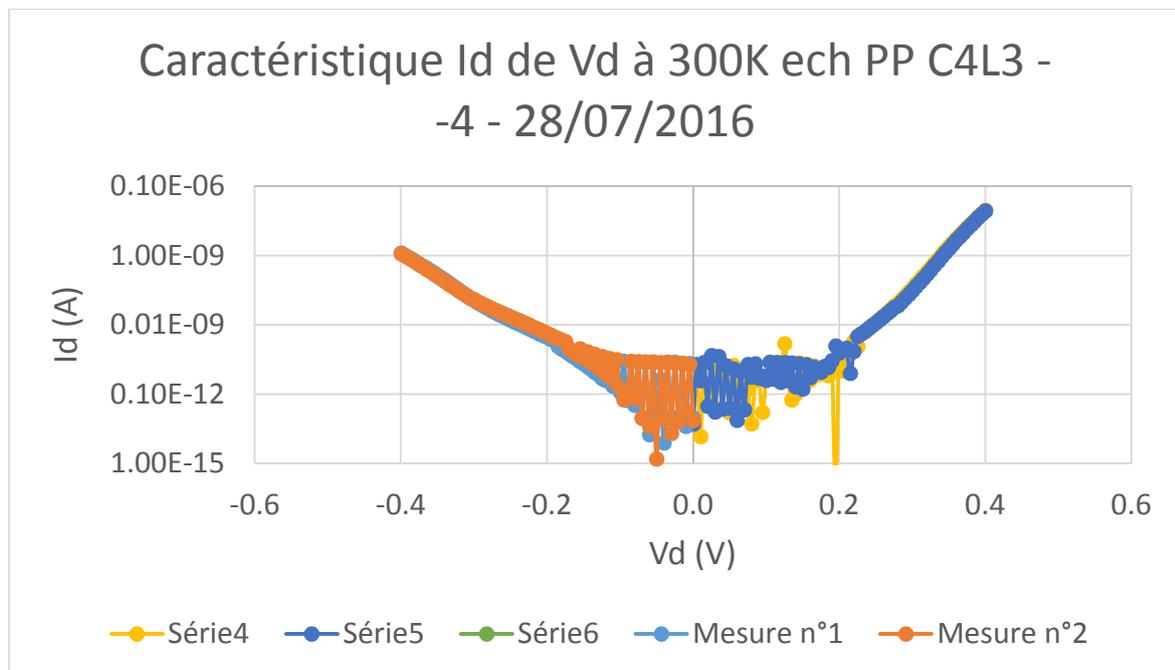
Afin d'utiliser le Keithley 4200, il nous a fallu avoir deux pointes donc deux électrodes une de référence qu'on l'a construite en collant notre ReRAM sur une plaque conductrice avec de la laque d'argent et l'électrode supérieure constituée avec l'évaporation par canon d'électrons à travers les plots construits en utilisant les masques.



**Figure 17: Utilisation du Keitley 420**

En balayant les tensions de [-4V, +4V] sur les contacts de 500um on obtient le graphe ci-dessous.

On remarque une bonne reproductibilité des courbes sauf que les courbes obtenues représentent un effet tunnel avec un courant qui reste potentiellement faible qui est de l'ordre de  $10^{-9}$  A, et que la tension de seuil reste constante à 3V.



**Figure 18 : Graphe de mesure d'Id en fonction de Vd d'un plot de 500 um à 300 K**

La réussite de ce stage se résume dans le graphe ci-dessous puisqu'on observe clairement nos switch résistifs en appliquant des tensions différentes et donc un changement d'état entre un état de haute résistance (HRS) qui représente l'état 0 et l'état de basse résistance (LRS) qui représente l'état 1.

● En appliquant une tension de 4V pendant une minute la tension de seuil varie entre 3V et 3,5V et notre mémoire est toujours à l'état de haute résistivité (HRS) qui est l'état 0 et le switch résistif n'est pas observé.

Une fois on applique une tension de 4V pendant 5 minutes notre switch est observé donc l'écriture dans la mémoire se réalise (la fonction SET) et on passe de l'état haute résistivité (HRS) qui est l'état 0 à l'état de basse résistivité (LRS) qui représente l'état 1 tout en atteignant un courant de  $10^{-5}$  A qui est assez élevé.

Il faut aussi noter que la différence entre le courant de l'état de basse résistivité et celle de haute résistivité est de l'ordre de  $I_{on/off}=10^5$  A.

● Cependant en allant de 0V à -4V la fonction Reset (effacement de la mémoire) se réalise à  $V = -3V$  et donc le basculement de l'état 1 vers l'état 0 en atteignant un courant de  $10^{-5}$  A avant le basculement.

Enfin pour s'assurer que notre mémoire est bien effacée on applique une tension de -4V pendant 5 minutes.

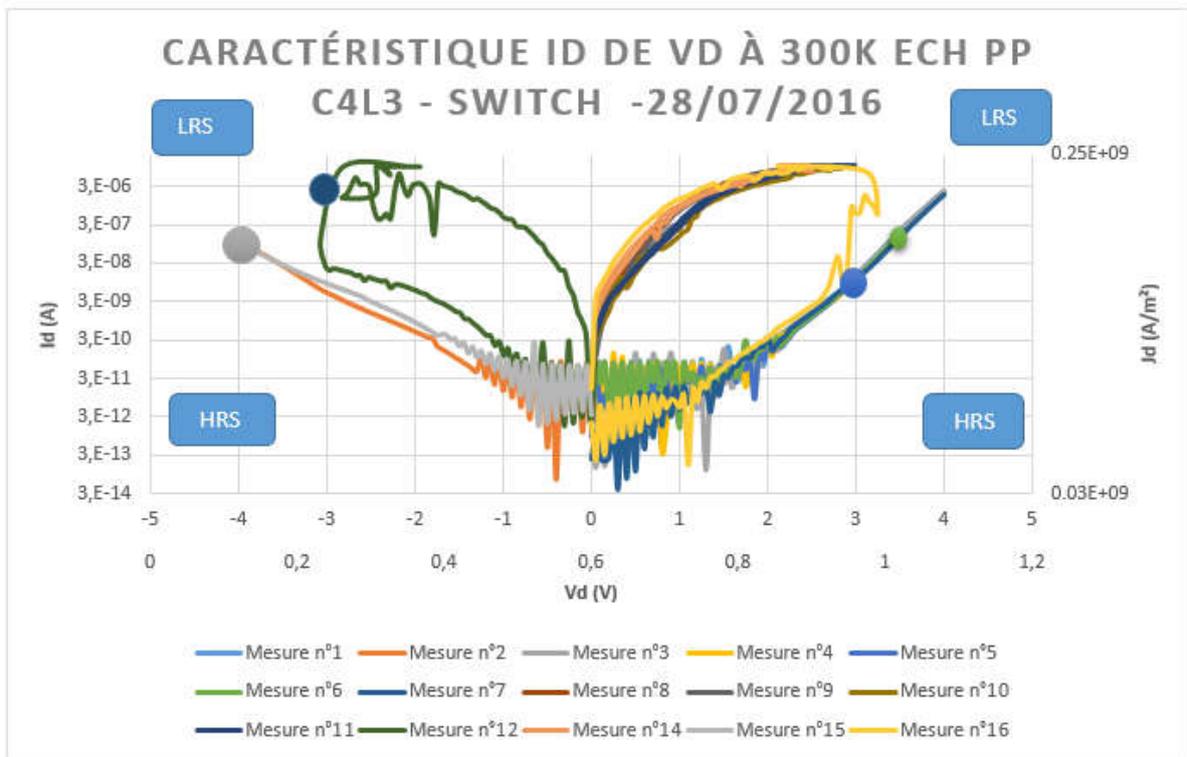


Figure 19: Graphe de mesure d'Id en fonction de Vd d'un plot de 500 um à 300 K

### 3.3.2 Conclusion

A travers ce stage de 4 mois au sein de l'INL, on a pu réaliser des mémoires résistives avec des nanostructures d'indium opérationnelles où on a pu distinguer et observer les deux différents états qui représentent les états 0 et l'état 1 aussi bien que le basculement d'un état vers un autre avec les caractéristiques suivantes :

$$I_{on/off} = 10^5 A$$

$$V_{Set} = 4V$$

$$V_{Reset} = -3V$$

Pendant ce stage, nous avons eu également la chance de réaliser des transistors MOS dans un de plus grands centres de formation en France qui est le CIME de Grenoble.

### **3.4 Présentation du centre interuniversitaire de Microélectronique et Nanotechnologie**

Le CIME Nanotech fait partie d'un réseau national de 12 centres de formation regroupés au sein de la Coordination Nationale de Formation en Microélectronique (CNFM).

Pour répondre aux besoins d'enseignement et de recherche, l'INP de Grenoble et l'Université Joseph Fourier ont mis en place autour du CIME Nanotech un ensemble de plateformes tournées vers les micros, nano et biotechnologies, l'hyperfréquence et l'optique guidée, les objets communicants, les microsystèmes et les capteurs.

Cet ensemble, coordonné aux plateformes de recherche du site, offre un service unique et met à la disposition des filières d'enseignements et des laboratoires de recherche des moyens et des équipements de toute première qualité [11].

#### **3.4.1 Introduction**

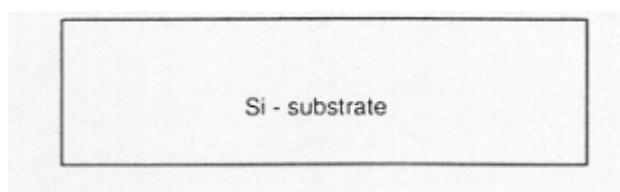
La technologie CMOS est une technologie planaire destinée au développement des systèmes à très haute échelle d'intégration. Grâce aux propriétés des transistors MOS complémentaires (notées CMOS pour Complementary Metal Oxide Silicon), cette technologie permet de réaliser des circuits à faible coût et à basse consommation. Cet avantage lui a permis d'être reconnue comme la technologie de pointe la plus avancée et la plus maîtrisée dans le domaine de la micro-électronique.

#### **3.4.2 Réalisation du transistor MOS**

Comme je suis amenée à travailler en salle blanche et pour apprendre toutes les étapes de réalisation d'un composant, j'ai été amené à suivre une formation sur certaines étapes technologiques avant de pouvoir les réaliser moi-même.

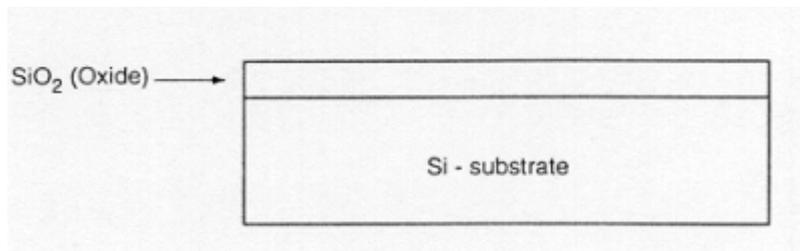
Ces étapes se déclinent comme suit :

#### **3.4.3 Plaquette vierge nettoyée**



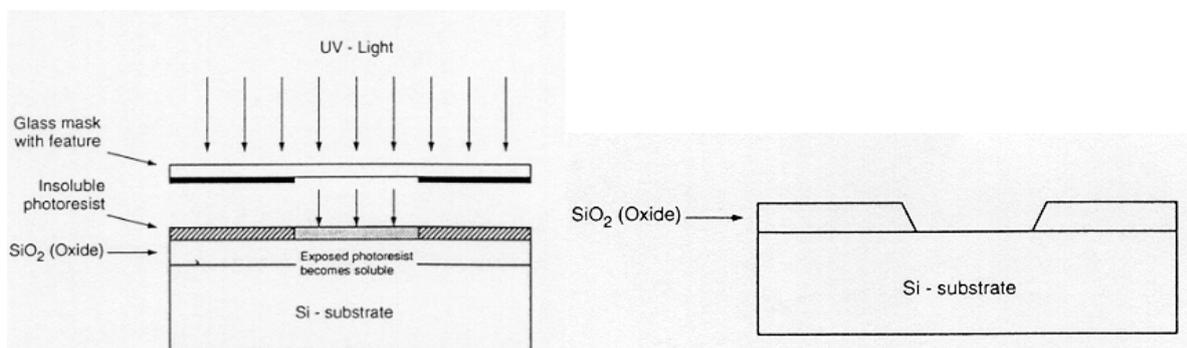
### 3.4.4 Oxydation humide

Cette oxydation permet de former du SiO<sub>2</sub> épais qui sert de masque pour les dopages de source et de drain.



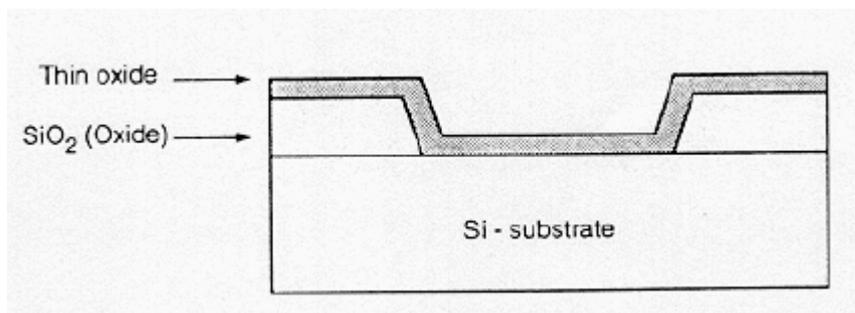
### 3.4.5 Photolithographie et gravure : ouverture zones actives

Avec cette ouverture de l'oxyde on définit l'emplacement de l'oxyde tunnel



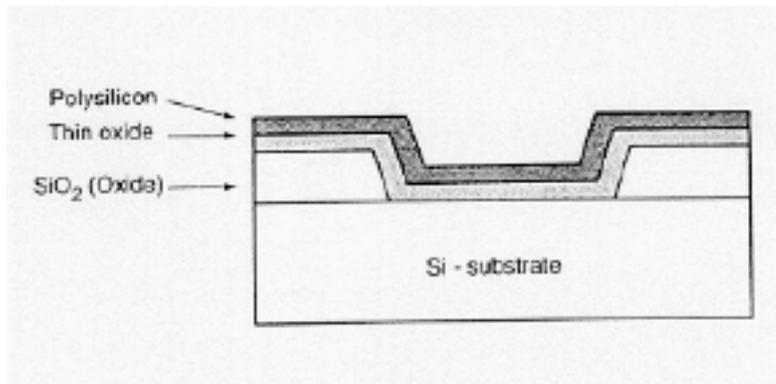
### 3.4.6 Oxydation sèche

Cette oxydation sèche permet d'obtenir l'oxyde tunnel du transistor MOS.



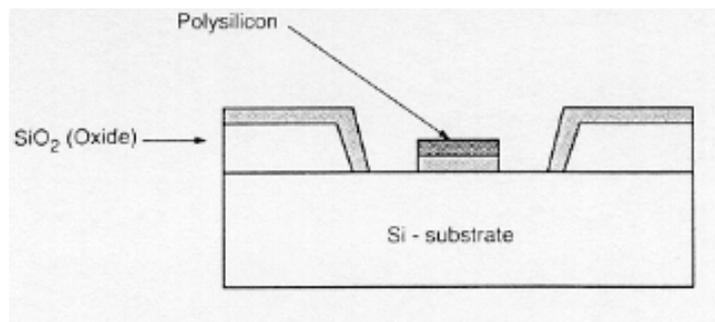
### 3.4.7 Dépôt du Poly Si

Cette étape consiste à déposer le polysilicium de la grille du transistor MOS.



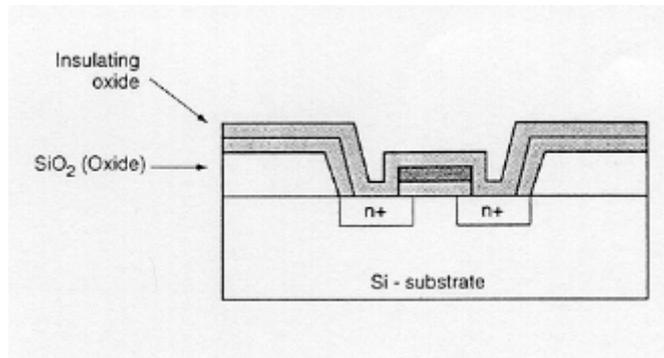
### 3.4.8 Gravure du polysilicium et du $\text{SiO}_2$

La gravure de polysilicium et de l'oxyde tunnel permet de définir la taille du canal du transistor et de définir les emplacements de la source et le drain.



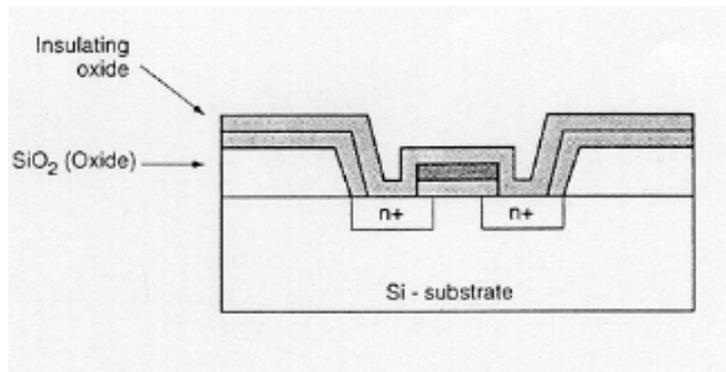
### 3.4.9 Implantation Source et Drain

Dans cette étape, la diffusion du phosphore permet de doper les zones de source et de drain N<sup>++</sup>.



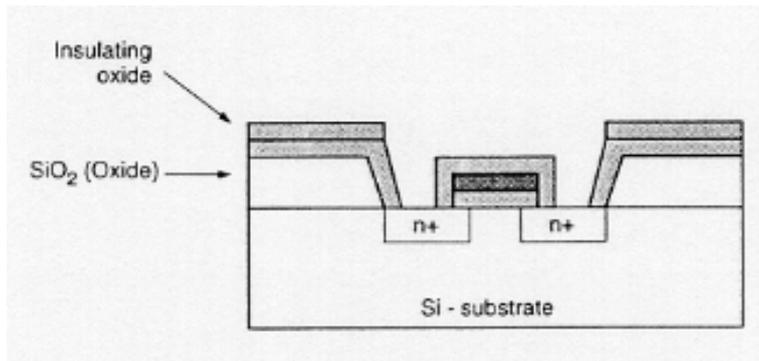
### 3.4.10 Dépôt SiO<sub>2</sub>

L'étape de dépôt de SiO<sub>2</sub> permet de former le masque de protection pour la métallisation en dernière étape.



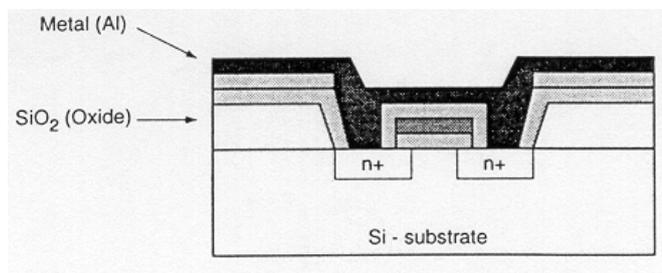
### 3.4.11 Ouverture des contacts

Une étape de lithographie est nécessaire pour ouvrir à certains endroits la silice de protection.



### 3.4.12 La métallisation

L'une des dernières étapes intervenant dans le procédé de fabrication d'un circuit intégré est la métallisation. Elle consiste à déposer sur la surface de la plaquette une couche conductrice qui sera ensuite gravée pour définir les contacts (qui permettent de relier le circuit intégré au monde extérieur) et les interconnexions (qui relient certains composants entre eux). La métallisation intervenant en fin de fabrication, la surface de la plaquette est très irrégulière (en raison de toutes les étapes précédentes, il existe de nombreuses marches d'oxyde de plusieurs milliers d'Angströms, des trous profonds, réalisés pour les prises de contact, ...). Le dépôt métallique, pour recouvrir parfaitement toute la surface, doit donc être relativement épais, de l'ordre de 5000 à 8000Å.



### 3.4.13 Gravure métal, polysilicium et SiO<sub>2</sub>

Finalement, dans la dernière étape, la gravure du métal, du polysilicium et de la silice permet d'obtenir les contacts métalliques, et d'isoler électriquement chaque zone du transistor : grille, source et drain.

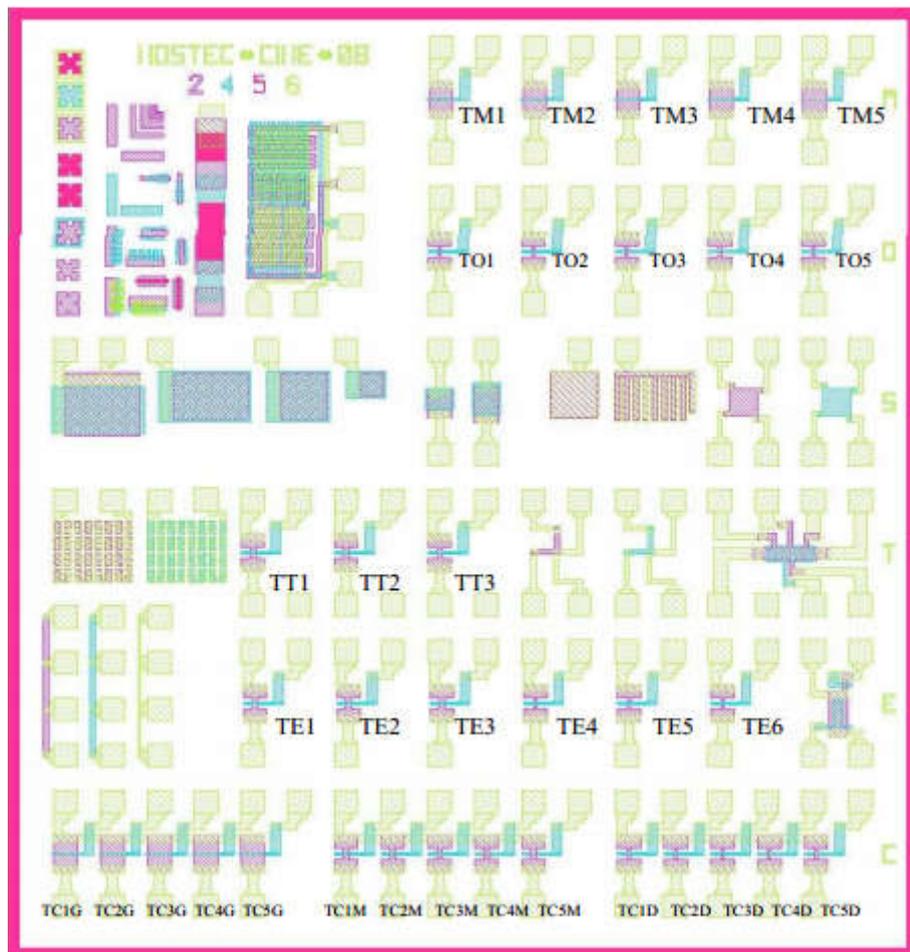
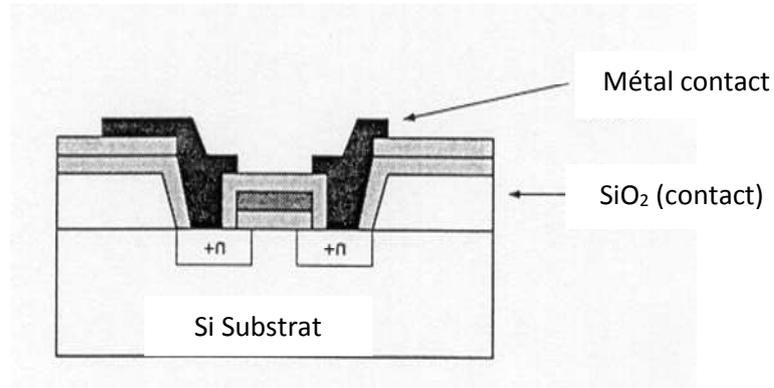
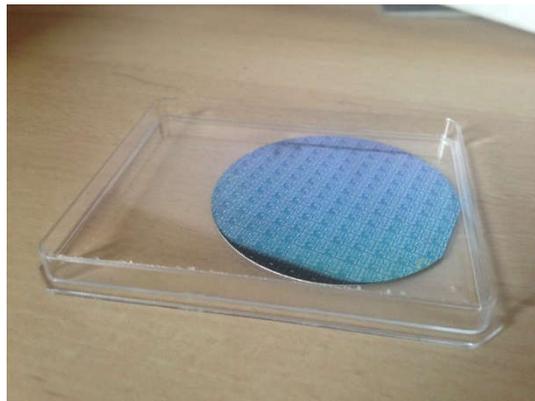


Figure 20 : Superposition de tous les niveaux – Circuit finalisé

L'ensemble des transistors réalisés: Sur une puce de 2 pouces on a pu avoir 34 transistors de différentes largeurs et longueur du canal.



**Figure 21:Résultat final**

## ***Conclusion générale***

Le présent document est le reflet du travail réalisé au cours de mon stage de fin d'études effectué au sein de l'équipe dispositif électronique au sein de l'Institut des Nanotechnologies de Lyon. Ce projet consiste à la conception des mémoires à switch résistives dites ReRAM. Mon projet se tient sur deux grands volets.

Le premier volet de ce projet portait sur la réalisation des tests sur les plaques tests avec 100nm de SiO<sub>2</sub> afin de maîtriser le nouveau processus et éviter toute sorte de contamination avec les utilisateurs de Nanolyon, puisque les nanostructures d'indium représentaient une nouvelle structure au sein de l'Institut des Nanotechnologies de Lyon. Pour cela, nous avons été formés sur les différentes machines qu'on devait utiliser au cours du stage. D'autre part, ces tests nous ont permis de maîtriser notre feuille de route et donc maîtriser le processus avant la réception des plaques finales.

Après avoir démontré que notre indium ne représentait aucun danger de contamination du Système ALD, la deuxième partie a été consacrée au développement de nos mémoires à switch résistives sur les plaques finales avec 2nm de SiO<sub>2</sub>, avant de passer aux mesures électriques qui nous ont démontré que nos mémoires fonctionnaient et donc l'observation des différents basculements de l'état de basse résistivité qui représente l'état 1 vers l'état de haute résistivité qui est l'état 0 et vice versa. De ce fait, on remarque qu'on peut écrire et effacer ces mémoires construites.

J'ai pu dans ces quatre mois de stage répondre à tous les objectifs visés, et notamment démontrer le mécanisme de switch dans ce système de nanomatériaux. Ce stage a été aussi pour moi une occasion unique pour s'initier à la vie professionnelle et développer trois piliers essentiels dans le démarrage de la carrière de chaque jeune diplômé :

Le pilier technique : c'était une vraie occasion afin d'approfondir mes connaissances pratiques, acquises durant mon parcours universitaire.

Le pilier management : cette expérience fut un apport considérable dans mon esprit managérial, par la gestion du temps et le comportement avec les autres membres des différentes équipes

Le pilier personnel : ces quatre mois en stage étaient aussi pour moi une occasion d'épanouir mes capacités de communication dans un environnement professionnel en développant des qualités relationnelles par la collaboration avec les membres de mon équipe et les autres équipes.

## ***Bibliographie :***

- [1] DeSalvo B, Sousa V, Perniola L, et al. Emerging memory technologies: Challenges and opportunities. VLSI Technology, Systems, and Applications (VLSI-TSA), 2012 International Symposium on.
- [2] Cheng C, Chin A. Nano-crystallized titanium oxide resistive memory with uniform switching and long endurance. Applied Physics A.
- [3] P. C. Lacaze, Mémoires électroniques : concepts, matériaux, dispositifs et technologies. ISTE Editions, 2014.
- [4] L. Courtade, "Développement, mécanismes de programmation et fiabilité de mémoires non volatiles à commutation de résistance MRAM et OxRAM," Université Sud Toulon, 2010.
- [5] L. Ming, "Manipulation of Nanoscale Conductive Filaments in Solid-ElectrolyteBased-ReRAM."
- [6] I. Valov, E. Linn, S. Tappertzhofen, S. Schmelzer, J. van den Hurk, F. Lentz, and R. Waser, "Nanobatteries in redox-based resistive switches require extension of memristor theory," Nat. Commun., vol. 4, p. 1771, 2013.
- [7] F. Pan, C. Chen, Z. Wang, Y. Yang, J. Yang, and F. Zeng, "Nonvolatile resistive switching memories-characteristics, mechanisms and challenges," Prog. Nat. Sci. Mater. Int., vol. 20, pp. 1–15, 2010.
- [8] W. Y. Chang, K. J. Cheng, J. M. Tsai, H. J. Chen, F. Chen, M. J. Tsai, and T. B. Wu, "Improvement of resistive switching characteristics in TiO<sub>2</sub> thin films with embedded Pt nanocrystals," Appl. Phys. Lett., vol. 95, no. 4, p. 42104, 2009.
- [10] Y.-T. Tsai, T.-C. Chang, C.-C. Lin, S.-C. Chen, C.-W. Chen, S. M. Sze, F.-S. Yeh (Hung), and T.-Y. Tseng, "Influence of Nanocrystals on Resistive Switching Characteristic in Binary Metal Oxides Memory Devices," Electrochem. Solid-State Lett., vol. 14, no. 3, p. H135, 2011.
- [11] : Le site du Centre Interuniversitaire de MicroElectronique et Nanotechnologies :  
[[www.cime.inpg.fr/](http://www.cime.inpg.fr/)]