

Université Sidi Mohamed Ben Abdellah  
Faculté des Sciences et Techniques Fès  
Département Génie Electrique



Mémoire de Projet de fin d'étude

Préparé par

**LAHLOU Houda & KARIM Karima**

Pour l'obtention du diplôme

Ingénieur d'Etat en

**SYSTEMES ELECTRONIQUES & TELECOMMUNICATIONS**

Intitulé

**Amélioration du rendement de la ligne de  
production WATT**

Encadré par :

**Pr LAHBABI Mhammed**

**Mr AMKHAOU Mohammed (STMicronics, Bouskoura)**

Soutenu le **25 Juin 2014**, devant le jury composé de :

**Pr M. LAHBABI** : Encadrant  
**Pr T. LAMCHARFI** : Examineur  
**Pr M. RAZI** : Examineur  
**Pr ELABERKANE** : Examineur

ANNEE UNIVERSITAIRE 2013- 2014

## DEDICACES

*A nos parents,*

*Nos frères et sœurs*

*Et tous nos amis*

## REMERCIEMENTS

En témoignage de notre profonde reconnaissance, nous ne pouvons omettre une des principales règles de courtoisie et d'amabilité, envers ceux que nous tenons à remercier :

Nos vifs remerciements vont à notre encadrant industriel Mr **AMKHAOU Mohammed**, pour nous avoir accueilli au sein de l'équipe de la zone test & finishing de STMicroelectronics BOUSKOURA et qui nous a accordé sa confiance et ce dès le premier jour, conseillé et encouragé tout au long de notre stage, et ce malgré ses occupations extrêmes.

Un grand MERCI à tous les agents de la zone test & finishing de la ligne WATT qui nous ont soutenues durant la période de ce projet, spécialement Mr **ALOUALI Reda** et Mme **JABIR Malika** pour leur disponibilité, leur soutien, leurs conseils et leur aide de valeur inestimable et leur vision pertinente des choses.

De plus, nous tenons à remercier et à témoigner toute notre reconnaissance à notre encadrant pédagogique Mr **LAHBABI Mhammed** pour sa disponibilité et l'effort qu'il a mis pour que ce travail soit un succès.

Nous remercions également, avec grand plaisir, les membres du jury qui ont accepté d'évaluer notre travail, ainsi que l'ensemble des enseignants de la filière « Systèmes électroniques et télécommunications » qui nous ont assuré une formation à la hauteur de nos attentes et qui ont toujours été là pour nous soutenir.

Enfin, nous remercions tous ceux qui ont contribué de près ou de loin à la réalisation et l'avancement de ce projet.

## RESUME

Le but de ce projet est la mise en place d'un plan d'action visant à diminuer le taux de défauts de la ligne de production WATT au sein de STMicroelectronics BOUSKOURA. En effet, dans un souci d'amélioration continue, STMicroelectronics fait de l'amélioration du rendement sa priorité.

Dans cette perspective, nous avons pu détecter l'origine des défaillances qui surviennent au niveau des composants et par la suite nous avons élaboré un plan d'action pour les éliminer. Pour cela, nous avons commencé par constituer la liste des pièces critiques, objet de notre étude en examinant l'historique des rebuts de l'année 2013 et des deux mois précédant notre arrivée. Ces analyses nous ont dirigées vers deux pièces appartenant à la famille des amplificateurs audio (TDA 7377 ET STA 540). Nous nous sommes par la suite basées sur des tests et des analyses pour définir les causes racines des défauts impactant ces deux pièces, notamment le défaut « dB Gv OUTL @ 20V » pour l'amplificateur TDA7377 et le défaut « Mv RTH OUTx » pour le STA 540. Nous avons ensuite classé les causes trouvées en trois grandes catégories. Par ailleurs, nous avons procédé par élimination pour déterminer les paramètres les plus influents pour chaque pièce étudiée. Chose qui a abouti à la proposition des solutions visant à éliminer ces défauts, et par la suite améliorer le rendement de production.

## ABSTRACT

The purpose of this report is the establishment of an action plan to reduce the defect rate of the production line WATT in STMicroelectronics BOUSKOURA. Indeed, in the interests of continuous improvement, STMicroelectronics made improving performance a priority.

In this perspective, we detected the origin of failures of component efficiency, and then developed an action plan to eliminate them.

To do this, we first create a list of critical parts by examining the historical scrap of the year 2013 and the two months before our arrival. These analyzes have led us to two parts belonging to the family of audio amplifiers (TDA 7377 AND STA 540). We subsequently based on tests and analyze to determine the root causes of defects affecting these two parts, including the default "dB Gv OUTL @ 20V" for the TDA7377 amplifier and «Mv RTH OUTx" for STA 540. Then we classified the causes found in three broad categories and we have proceeded by elimination to determine the most influential parameters for each part studied. Thing that has led to the proposal of solutions to eliminate these defects, and subsequently improve the production yield

## TABLE DES MATIÈRES

|  |           |
|--|-----------|
| Dédicaces.....   | 1         |
| Remerciements: .....   | 2         |
| Résumé .....   | 3         |
| Abstract .....   | 4         |
| Liste des figures.....   | 9         |
| Liste des tableaux .....   | 10        |
| Liste des abréviations .....   | 11        |
| <b>Introduction générale.....</b>                                      | <b>12</b> |
| <b>CHAPITRE I : PRESENTATION DE STM .....</b>                          | <b>13</b> |
| Introduction : .....   | 14        |
| I. STMicroelectronics : Historique .....                               | 14        |
| II. Le groupe STMicroelectronics .....                                 | 14        |
| 1. Caractéristiques des produits semi-conducteurs.....                 | 14        |
| 2. Segments de produits et marchés servis .....                        | 15        |
| 3. Un leadership mondial.....  | 15        |
| 4. Secteurs/ Pôles d'activité de l'entreprise STMicroelectronics ..... | 16        |
| 5. Les grandes étapes de fabrication des semi-conducteurs .....        | 16        |
| III. STMicroelectronics Bouskoura .....                                | 17        |
| 1. Organisation du site STMicroelectronics Bouskoura .....             | 17        |
| 2. Produits Fabriqués par STM Bouskoura .....                          | 19        |
| 3. Processus de fabrication général de l'usine bouskoura be : .....    | 20        |
| IV. La ligne WATT .....  | 22        |
| 1. Gestion de la ligne WATT.....                                       | 22        |
| 2. Service d'accueil .....   | 23        |
| 3. Description de la zone test & finishing de la ligne WATT .....      | 24        |
| Conclusion.....  | 24        |
| <b>CHAPITRE II : CONTEXTE DU PROJET.....</b>                           | <b>25</b> |
| Introduction .....   | 26        |
| I. Problématique.....  | 26        |
| II. Cahier de charges .....  | 26        |
| III. Planning du projet.....   | 27        |
| Conclusion.....  | 27        |
| <b>CHAPITRE III : ETUDE PRELIMINAIRE.....</b>                          | <b>28</b> |
| Introduction .....   | 29        |
| I. Généralités sur les amplificateurs audio .....                      | 29        |

|      |  |           |
|------|--|-----------|
| 1.   | Fonctionnement .....                               | 29        |
| 2.   | Les classes d'amplificateurs.....                  | 30        |
| II.  | Généralités sur le test des semi-conducteurs ..... | 31        |
| 1.   | Description du test électrique .....               | 31        |
| 2.   | Équipements indispensables à l'opération.....      | 31        |
| a)   | Le testeur .....                                   | 32        |
| b)   | Handler .....                                      | 33        |
| c)   | Jig.....   | 34        |
| 3.   | Outils de supervision .....                        | 34        |
|      | Conclusion.....                                    | 37        |
|      | <b>CHAPITRE VI : ETAIT DES LIEUX .....</b>         | <b>38</b> |
|      | Introduction .....                                 | 39        |
| III. | Identification de la problématique du sujet: ..... | 39        |
| 1.   | L'outil de qualité QQQQCP.....                     | 39        |
| 2.   | Méthode QQQQCP : .....                             | 41        |
| II.  | Définition du périmètre d'action : .....           | 42        |
| 1.   | METHODE ABC – Loi de Pareto :.....                 | 42        |
| a)   | Le diagramme de Pareto outil de la qualité : ..... | 42        |
| b)   | Construction du diagramme de Pareto: .....         | 43        |
| 2.   | Analyse Pareto :.....                              | 43        |
| a)   | Analyse Pareto des défauts .....                   | 43        |
| b)   | Analyse PARETO des pièces .....                    | 45        |
| III. | Recherche des Causes probables du PROBLÈME:.....   | 46        |
| 1)   | Méthode d' ISHIKAWA .....                          | 46        |
| a)   | Diagramme d' ISHIKAWA, qu'est--ce que c'est?.....  | 46        |
| b)   | Les règles d'or .....                              | 47        |
| c)   | Déroulement du diagramme d' ISHIKAWA .....         | 47        |
| 2)   | Brainstorming .....                                | 48        |
| 3)   | Diagramme D'ISHIKAWA: .....                        | 49        |
|      | Conclusion.....                                    | 50        |
|      | <b>CHAPITRE V : PLAN D'ACTION.....</b>             | <b>51</b> |
|      | Introduction .....                                 | 52        |
| I.   | Démarche DMAIC : .....                             | 52        |
| II.  | L'amplificateur audio TDA7377 .....                | 53        |
| 1.   | Define .....                                       | 53        |

|      |   |           |
|------|---|-----------|
| a)   | La Méthode QQQCP : .....  | 53        |
| b)   | Description de l'amplificateur audio TDA7377 .....                              | 53        |
| c)   | Définition des défauts paramétriques les plus fréquents .....                   | 54        |
| 2.   | Mesure .....  | 55        |
| a)   | Etude du défaut paramétrique «dB Gv OUTL @ 20V ».....                           | 55        |
| b)   | Distribution du défaut « dB Gv OUTL @20V ».....                                 | 58        |
| 3.   | Analyse.....  | 59        |
| a)   | Recherche des causes possibles du défaut « dB Gv OUTL @20V » .....              | 59        |
| b)   | Identification du défaut « dB Gv OUTL @ 20V » :.....                            | 62        |
| 4.   | Improve .....   | 66        |
| a)   | Elaboration d'un plan d'action.....   | 66        |
| b)   | Application du plan d'action .....  | 66        |
| 5.   | Control .....   | 71        |
| a)   | Evolution du rendement après l'implantation des solutions :.....                | 71        |
| b)   | Etude financière .....  | 72        |
| III. | L'amplificateur audio STA540 :.....   | 73        |
| 1)   | Define .....  | 73        |
| a)   | La Méthode QQQCP : .....  | 73        |
| b)   | Description de l'amplificateur audio STA 540 :.....                             | 73        |
| c)   | Définition des défauts paramétriques les plus défectueux .....                  | 73        |
| 2)   | MESURE.....   | 74        |
| d)   | Introduction.....   | 74        |
| e)   | Généralités sur la résistance thermique .....                                   | 74        |
| d)   | Etude du défaut paramétrique «mV RTH OUTx ».....                                | 77        |
| e)   | Distribution du défaut « mV RTH OUTx ».....                                     | 80        |
| 3)   | Analyse.....  | 81        |
| a)   | Recherche des causes possibles du défaut « mV RTH OUTx » de la race STA540..... | 81        |
| b)   | Identification du défaut paramétrique « mV RTH OUTx ».....                      | 84        |
| c)   | Processus du die attach.....  | 84        |
| 4)   | Improve .....   | 87        |
| a)   | Elaboration d'un plan d'action:.....  | 87        |
| b)   | Application du plan d'action :.....   | 88        |
| 5.   | Control .....   | 94        |
| a)   | Evolution du rendement après l'implantation des solutions :.....                | 89        |
| b)   | Actions préventives .....   | 89        |
|      | <b>Conclusion générale.....</b>   | <b>90</b> |
|      | Annexes .....   | 96        |



|  |    |
|--|----|
| Annexe 1 : Cahier de charge la race L022.....    | 92 |
| Annexe 2 : Cahier de charge de la race L690..... | 94 |
| Annexe 3 : Schéma du Jig de la race L022.....    | 97 |
| Références bibliographiques .....                | 99 |

## LISTE DES FIGURES

|  |    |
|--|----|
| Figure 1: Représentation mondiale de STMicroelectronics.....   | 16 |
| Figure 2: Description des étapes de fabrication des produits semi-conducteurs.....                         | 17 |
| Figure 3: Organigramme de l'entreprise.....  | 19 |
| Figure 4: Produits fabriqués par STM BOUSKOURA.....  | 19 |
| Figure 5: Processus de fabrication général.....  | 20 |
| Figure 6: Organigramme de la ligne WATT.....   | 23 |
| Figure 7: Vue générale de la zone test de la ligne WATT.....   | 24 |
| Figure 8: Planning du projet.....  | 27 |
| Figure 9: Schéma de l'amplification.....   | 29 |
| Figure 10: Testeur QT200.....  | 32 |
| Figure 11: Schéma général du testeur.....  | 33 |
| Figure 12: Modèle d'un multitest.....  | 33 |
| Figure 13: Modèle d'un jig.....  | 34 |
| Figure 14: Différents rapports exploitables.....   | 35 |
| Figure 15: Exemple d'informations globales.....  | 36 |
| Figure 16: Exemple des paramètres statistiques.....  | 36 |
| Figure 17: Exemple d'histogrammes.....   | 37 |
| Figure 18: Diagramme Pareto des rejets par défaut.....   | 44 |
| Figure 19: Distribution des rejets par race.....   | 46 |
| Figure 20: Résultats de la séance de brainstorming.....  | 48 |
| Figure 21: Diagramme d'Ishikawa.....   | 49 |
| Figure 22: Block diagramme de l'amplificateur TDA7377.....   | 53 |
| Figure 23: Vue générale du TDA7377.....  | 54 |
| Figure 24: Distribution des défauts paramétriques de la race TDA7377.....                                  | 54 |
| Figure 25: Circuit d'application en mode bridge du TDA7377.....  | 55 |
| Figure 26: Représentation des tensions à la sortie du premier étage de l'amplificateur.....                | 57 |
| Figure 27: Distribution du paramètre « dB Gv OUTL @ 20V ».....   | 58 |
| Figure 28: Distribution des défauts marginaux.....   | 59 |
| Figure 29: Résultats de la séance de brainstorming.....  | 60 |
| Figure 30: Diagramme d'Ishikawa.....   | 61 |
| Figure 31: Circuit de mesure de « dB Gv OUTL @20V » à l'entrée.....  | 62 |
| Figure 32: Circuit de mesure de « dB Gv OUTL @20V » à la sortie.....                                       | 63 |
| Figure 33: Visualisation des signaux de sortie du premier étage d'amplificateurs.....                      | 64 |
| Figure 34: Visualisation des signaux de sortie du premier étage d'amplificateurs pour une pièce rejet..... | 65 |
| Figure 35: Représentation de la tension v1 mesurée par le testeur.....                                     | 65 |
| Figure 36: Etat des connecteurs des Jigs pour la race L022.....  | 68 |
| Figure 37: Mesure de la température.....   | 70 |
| Figure 38: Etat des unités de contact de la mt13.....  | 70 |
| Figure 39: Evolution du rendement de la race L022.....   | 71 |
| Figure 40: Distribution des défauts paramétriques pour la race L690.....                                   | 74 |
| Figure 41: Résistance thermique d'un composant semi-conducteur.....  | 76 |
| Figure 42: Distribution du paramètre « mV RTH OUT4 ».....  | 80 |
| Figure 43: Analyse de la distribution du défaut « mv rth outx ».....                                       | 81 |
| Figure 44: Résultats de la séance de brainstorming.....  | 82 |
| Figure 45: Diagramme d'Ishikawa.....   | 83 |
| Figure 46: Analyse x-ray de pièces présentant un pourcentage de bulles d'air élevé.....                    | 84 |
| Figure 47: Process de die attach.....  | 85 |

## LISTE DES TABLEAUX

|  |    |
|--|----|
| Tableau 1: Tableau de la méthode QQQQCP .....  | 41 |
| Tableau 2: Tableau des différents rejets pour l'année 2013+ janvier et février 2014 .....  | 44 |
| Tableau 3: Tableau des rejets par race.....  | 45 |
| Tableau 4: Tableau des 5M.....   | 49 |
| Tableau 5: Etapes de la méthode DMAIC .....  | 55 |
| Tableau 6: Méthode QQQQCP .....  | 53 |
| Tableau 7: Tableau des 5M.....   | 61 |
| Tableau 8: Plan d'action relatif au défaut « dB Gv OUTL @20V » .....                       | 66 |
| Tableau 9: Résultats de l'analyse au laboratoire d'un échantillon de pièces rejetées ..... | 67 |
| Tableau 10: Liste des relais utilisés pour la mesure du paramètre "db gv outl @20v" .....  | 68 |
| Tableau 11: Résultat du health check du testeur QT258.....                                 | 69 |
| Tableau 12: Solutions proposées .....  | 71 |
| Tableau 13: Tableau des investissements.....   | 72 |
| Tableau 14: Méthode QQQQCP.....  | 73 |
| Tableau 15: Tableau des 5M .....   | 83 |
| Tableau 16: Paramètres d'entrée de la machine de die attach .....                          | 87 |

## LISTE DES ABREVIATIONS

|      |   |                           |
|------|---|---------------------------|
| CI   | : | Circuits Intégrés         |
| SC   | : | Semi-Conducteur           |
| BE   | : | Back End                  |
| FE   | : | Front End                 |
| QA   | : | Quality Assurance         |
| STM  | : | STMicroelectronics        |
| APG  | : | Automotive Product Group  |
| STDF | : | Standard Test Data Format |
| SVR  | : | Supply Voltage Rejection  |
| MT   | : | MultiTest                 |
| PPM  | : | Press Preform Module      |

# Introduction générale

Le champ d'application des composants à semi-conducteurs est actuellement très vaste et s'élargit de jour en jour. Ces composants sont utilisés dans des domaines variés, comme l'automobile, la téléphonie, les consoles de jeux vidéo ou encore le domaine du spatial. Selon leurs spécifications, ceux-ci sont censés fonctionner correctement dans différentes conditions environnementales et ce durant plusieurs années.

Il est donc important d'anticiper les problèmes de fonctionnement survenus lors de l'assemblage des composants. C'est dans ce cadre que les industries des semi-conducteurs effectuent des tests durant lesquelles ceux-ci sont placés dans des conditions expérimentales très proches des conditions réelles de fonctionnement.

Lorsqu'une anomalie est détectée, une analyse détaillée doit être mise en place afin d'éviter la réapparition du même défaut, et par la suite la répercussion de ceci sur le rendement de production de l'industrie.

C'est dans ce contexte que STMicroelectronics BOUSKOURA a proposé le présent projet de l'amélioration du rendement, qui consiste à diminuer le taux de défauts des pièces critiques dans la ligne de production WATT. Le cahier des charges se présente comme suit:

- Identification des produits qui représentent un taux de défaillance le plus élevé et détermination des différents défauts les impactant.
- Etude et analyse des défauts et établissement d'un plan d'action permettant d'éliminer ces défauts et par la suite d'améliorer le rendement de production.

Afin de répondre à ces exigences, nous avons réparti le présent rapport en cinq chapitres :

Le premier chapitre contient la présentation de STMicroelectronics Bouskoura, de la ligne WATT et du département d'accueil : Zone test & finishing.

Le deuxième chapitre est consacré au contexte du projet, nous y avons, en premier énoncé la problématique, ensuite nous avons présenté le planning qui nous a permis de répondre au cahier des charges proposé.

Le troisième chapitre est dédié quant à lui à l'étude préliminaire. Nous y avons -regroupé toutes les notions dont nous avons eu besoin tout au long de notre projet de fin d'étude.

Le quatrième chapitre présente l'état des lieux. Il a comme principal objectif la détermination de la liste des pièces critiques sur lesquelles portera notre étude.

Le cinquième chapitre détaille notre plan d'action. Il comporte une analyse des défauts trouvés qui permettra de cerner les causes principales de chacun des défauts étudiés et de proposer des solutions.

# CHAPITRE I : PRESENTATION DE STM

## INTRODUCTION :

Dans ce chapitre, nous présenterons l'environnement où s'est déroulé notre projet. Pour cela, nous commencerons par une présentation de l'usine STMicroelectronics dans le monde puis du site de BOUSKOURA, suivie d'un bref aperçu sur le processus de fabrication. Ensuite, nous décrirons la ligne de production WATT qui est notre département d'accueil et plus précisément la zone test & finishing.

### I. STMICROELECTRONICS : HISTORIQUE

**1952** : Créée par la compagnie générale de télégraphie sans fil, la société de fabrication radioélectrique marocaine est devenue par la suite filiale de THOMSON CSF .

**1974** : la fabrication de semi-conducteurs est lancée et elle n'a pas cessé de progresser pour devenir la seule activité de l'usine à la fin des années 80.

**juin 1987** : Une fusion de THOMSON Semi-conducteurs(France) et SGS-MICROELECTRONICA (Italie) a eu lieu.

**Janvier 1989** : La SFRM a changé de nom pour devenir SGS-THOMSON Microelectronics S.A au Maroc. Une nouvelle usine à BOUSKOURA fut inaugurée par sa majesté le roi, SGS-THOMSON S.A Maroc est devenu l'un des sites les plus importants du groupe.

**Mai 1998** : le nom de la société a changé pour devenir **STMicroelectronics**.

**2000** : L'augmentation de la demande a poussé l'organisme à créer un troisième site de production Bouskoura 2000. Actuellement, Les trois usines se sont fusionnées et ont pris place à Bouskoura 2000.

### II. LE GROUPE STMICROELECTRONICS

STMicroelectronics est le cinquième fabricant mondial de semi-conducteurs avec un chiffre d'affaires net de 8,51 milliards de dollars en 2009. Avec l'un des plus vastes portefeuilles de produits de l'industrie, ST fournit des semi-conducteurs innovants à des clients dans tous les secteurs d'application de l'électronique en s'appuyant sur son large éventail de technologies, son expertise en conception et l'association de son portefeuille de propriété intellectuelle et de partenariats stratégiques ainsi que sa force industrielle.

#### 1. CARACTERISTIQUES DES PRODUITS SEMI-CONDUCTEURS

Les ordinateurs, les téléphones portables, les télévisions, les radios, les voitures sont autant de produits utilisant des circuits intégrés.[1] C'est grâce à leurs petites tailles (quelques mm<sup>2</sup> à quelques cm<sup>2</sup>), à leurs importantes capacités fonctionnelles et à leurs tenues aux contraintes extérieures que ces circuits sont largement utilisés. Les fonctionnalités des puces sont basées sur l'intégration de millions

de transistors et autres composants élémentaires sur de très faibles surfaces. Les dimensions de ces transistors sont de l'ordre du dixième de micromètre. Les produits employant ces puces peuvent disposer de performances élevées en terme de : vitesses de fonctionnement (GHz), consommations faibles, nombre et type de composants intégrés : mémoires de plusieurs giga-octets, décodeurs, émetteurs, récepteurs, etc.

## 2. SEGMENTS DE PRODUITS ET MARCHES SERVIS

Les principaux points forts de la Société résident dans les secteurs du multimédia, de l'électronique de puissance, de la connectivité et des capteurs. Son chiffre d'affaires, en incluant les activités sans-fil de ST-Ericsson, sa co-entreprise qu'elle détient à parts égales avec Ericsson, est bien équilibré entre les principaux secteurs industriels : les télécommunications (40 %), l'électronique grand public (12 %), les périphériques informatiques (13 %), l'automobile (12 %), les applications industrielles (8%) et la distribution (16 %).

ST est tout particulièrement attentif au développement de solutions permettant de réduire la consommation d'énergie sur le lieu d'utilisation dans les applications industrielles, ainsi qu'à l'augmentation de sa présence sur le marché émergent des solutions de santé avancées.

## 3. UN LEADERSHIP MONDIAL

ST occupe la première place mondiale dans différents domaines : N°1 dans les semi-conducteurs pour applications industrielles, les têtes d'impression à jet d'encre et les microsystemes électromécaniques (MEMS) pour produits portables et grand public ; N°2 dans les décodeurs MPEG et les circuits intégrés pour cartes à puce, et N°3 dans les circuits intégrés automobiles, les périphériques informatiques et les produits sans fil.

Dans le monde, le Groupe compte environ 51.000 employés, 16 unités de Recherche & Développement avancées, 39 centres de conception et d'application, 12 principaux sites de fabrication et 78 bureaux de vente dans 36 pays.





FIGURE 1: REPRESENTATION MONDIALE DE STMICROELECTRONICS

#### 4. SECTEURS/ POLES D'ACTIVITE DE L'ENTREPRISE STMICROELECTRONICS

STMicroelectronics possède de nombreux produits qui sont :

- des circuits pour codeurs et décodeurs
- des circuits pour téléphone portable
- des circuits pour des applications sans fils
- des circuits pour périphériques informatiques
- des circuits pour l'automobile
- des microcontrôleurs
- des mémoires non volatiles
- des circuits analogiques et de puissance

Les principaux clients de STMicroelectronics sont les équipementiers automobiles, les fabricants de téléphones portables tels que Nokia, Samsung, LG; les fabricants d'imprimantes comme HP, les fabricants de disques durs tels que Seagate Technology, Western Digital; les fabricants d'équipements électroniques de loisir comme Philips, Sony, Thomson, Nintendo et Microsoft. Enfin, on trouve les fabricants d'équipements industriels comme Siemens.

#### 5. LES GRANDES ETAPES DE FABRICATION DES SEMI-CONDUCTEURS

La fabrication de produits semi-conducteurs peut être représentée par quatre grandes étapes (Figure 2) :

- Production de la matière première, du substrat : tranches de silicium ultra pur monocristallin (wafers).
- En parallèle fabrication des masques de lithographie.
- Fabrication des circuits (puce) : production des circuits, et test électrique de validation des composants.
- Découpage, tests finaux et mise en boîtiers.

La production des circuits et des tests intermédiaires est l'étape dite de « front-end ». La découpe, la mise en boîtiers et les tests finaux sont dits de « back-end ».

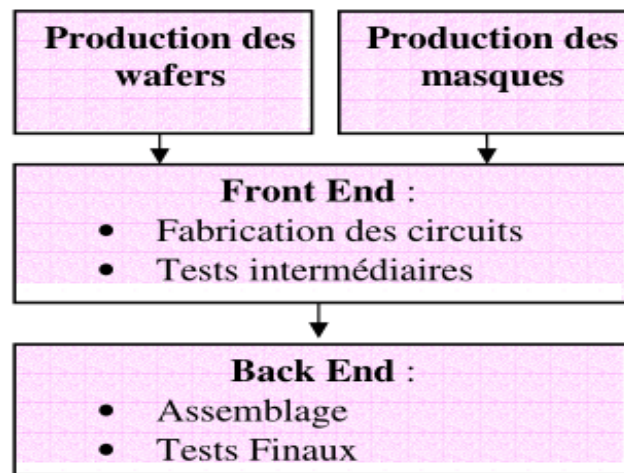


FIGURE 2: DESCRIPTION DES ETAPES DE FABRICATION DES PRODUITS SEMI-CONDUCTEURS.

La société ST Microelectronics de Bouskoura est un site Back-End, elle assure l'assemblage, les tests finaux et la mise en boîtier des composants.

### III. STMICROELECTRONICS BOUSKOURA

ST est présent au Maroc depuis le 28 mai 1952. Au départ l'entreprise était sectionnée en deux sites : le site d'Ain-Sebâa et le site de Bouskoura. En 1998, la décision de construire le nouveau site de Bouskoura BE 2000 a été prise. Inauguré le 3 Avril 2001, ce site couvre une superficie de 180 hectares et emploie près de 5000 personnes. L'usine de Bouskoura est un site Back-End, d'où l'appellation BSK BE.

#### 1. ORGANISATION DU SITE STMICROELECTRONICS BOUSKOURA

Ce site est organisé en neuf départements (figure 3)[2]:

- **Département Planning** : Ce département se charge des plannings de production, de l'approvisionnement, du stockage, de la réception et de la livraison des matières premières et des produits finis.
- **Département Manufacturing** : il a pour mission la gestion de toutes Les opérations de fabrication, de maintenance des équipements et de l'optimisation des rendements. Et c'est au sein de ce département que nous avons effectué notre stage.
- **Département Central Engineering** : Ce département a pour rôle d'introduire et qualifier les nouveaux processus et nouveaux produits, d'optimiser les processus existants et de superviser les Programmes de développement avec les divisions et le central BE.

- **Département Support Equipement** : Ce service se charge de la mise en place et la qualification des nouveaux équipements de production, il réalise des essais afin de pouvoir s'assurer de la performance des équipements et procède à des optimisations.
- **Département Informatique et Telecom** : Son rôle principal est la gestion des machines de traitement de l'information, leur installation et leur maintenance hardware et software. Il s'occupe aussi de tout ce qui est partie informatique dans les machines de Production, Sans oublier les outils de télécommunications.
- **Département Qualité** : Son rôle principal est de mettre en place un système qualité conforme aux normes internationales les plus sévères afin de satisfaire totalement les clients
- **Département Ressources Humaines** : Ce département est responsable du recrutement, de la formation (Existence du Learning Institute au sein du site pour l'amélioration des services médico-social, de la paie et de la gestion du personnel).
- **Département Finance** : Ce département s'occupe des achats et des contacts avec les fournisseurs.
- **Département Facilities** : ce département permet de fournir aux lignes les ressources énergétiques.

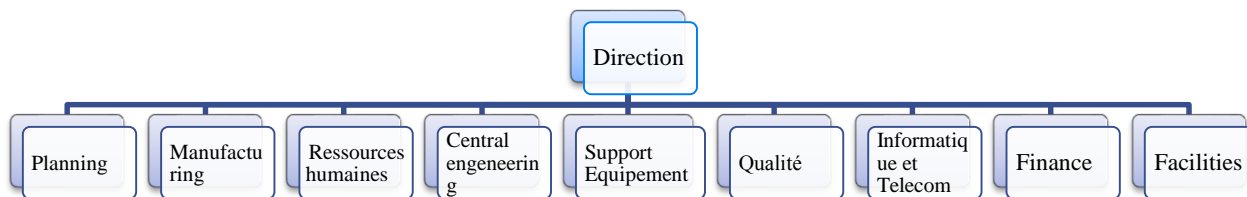


FIGURE 3: ORGANIGRAMME DE L'ENTREPRISE

## 2. PRODUITS FABRIQUES PAR STM BOUSKOURA

Les produits de ST fabriqués à Bouskoura sont très diversifiés, et englobent plusieurs domaines industriels. La production est entièrement tournée vers l'export sur commande des clients. Et Comme le montre la figure (figure 4) ci-dessous il existe 8 grandes gammes de produits:

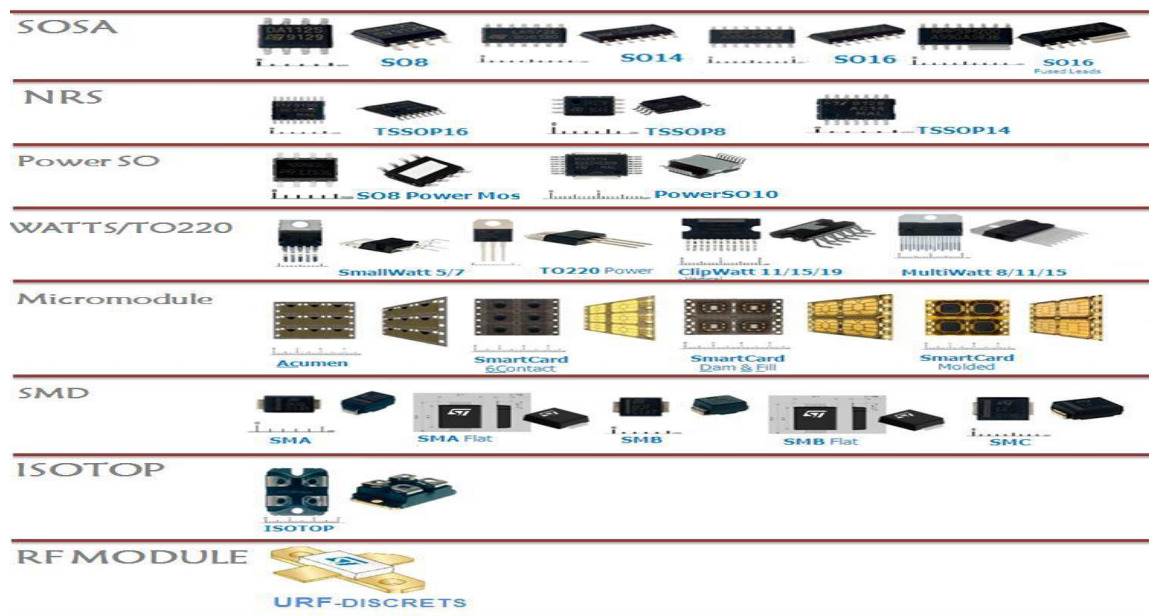


FIGURE 4: PRODUITS FABRIQUES PAR STM BOUSKOURA

### 3. PROCESSUS DE FABRICATION GENERAL DE L'USINE BOUSKOURA BE :

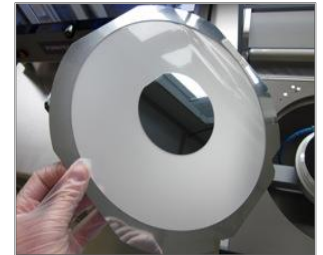
La fabrication des produits suit un processus bien précis qui se résume dans le schéma ci-dessous (figure 5) :



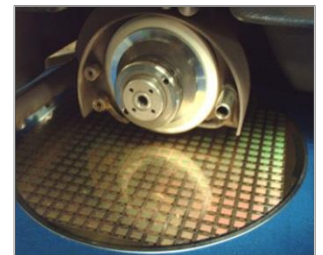
FIGURE 5: PROCESSUS DE FABRICATION GENERAL

La ligne reçoit dans un premier temps les disques de silicium qui contiennent les puces en provenance des usines de front end. Ensuite, ceux-ci sont découpés pour individualiser les puces qui, passent par plusieurs opérations pour aboutir au produit fini, à savoir :

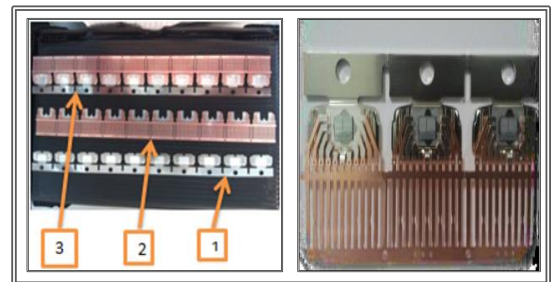
- **Le collage ou wafer mounting:** opération qui consiste à coller le disque de silicium (wafer) sur lequel se trouve les puces sur un support en forme d'anneau en inox ; cela, à l'aide d'une sorte de ruban adhésif afin de faciliter la suite des manipulations sur le disque.



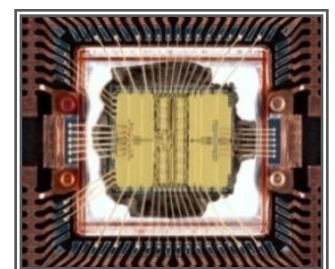
- **Sciage ou Sawing:** cette étape consiste à faire la découpe du wafer préalablement monté pour individualiser les puces. Un arrosage à l'eau pure permet d'éliminer les résidus de silicium sans dégrader les caractéristiques électriques des puces.



- **Collage de la puce ou Die-Attach:** les puces individualisées sont fixées à l'aide d'une colle spéciale: la « préforme » sur une frame. Mais celle-ci doit être préalablement préparée. Cette préparation est appelée « wedging ». La frame (3) s'obtient en associant un slug (1) au support des leads (2).



- **Soudure des fils de conection ou wire bonding:** des connexions entre la puce et les broches sont établies à l'aide de fil « wire » en anglais. Ce fil peut être en aluminium ou en cuivre. Le mode de connection et la dimension du fil utilisé sont fonction de la race et des exigences du cahier de charge du client .

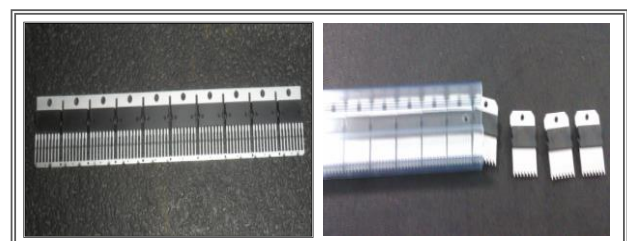


- **Le moulage à la résine ou Molding :** action qui consiste à recouvrir de résine la puce précédemment collée puis connectée aux broches dans l'optique de la protéger de l'oxydation et de la dégradation dues à des nombreuses manipulations humaines

- **First crop et second crop:** lors du 1st crop l'interconnection est retirée . Au 2<sup>nd</sup> crop, la frame est découpée pour individualiser les pièces .

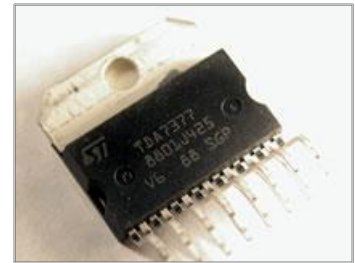


Frame avant et après 1st crop



Pièces avant et après 2nd crop

- **Etamage ou Plating:** la frame est recouverte d'étain pour faciliter la soudure des pièces sur une carte électronique.
- **Le marquage et/ou le cambrage** de la puce se fait après le 2<sup>nd</sup> crop. Le marquage consiste à graver sur la pièce un code produit et le numéro de lot auquel elle appartient. Le cambrage quant à lui consiste à courber les pattes de la pièce. On a deux types de cambrages: horizontal et vertical.
- **Phase de test :** dans cette étape de processus, un premier test électrique est effectué sur la totalité des composants en utilisant des machines et des testeurs. Ce test permet de vérifier leurs fonctionnalités et d'évaluer avec précision leurs caractéristiques électriques. Chaque composant est soumis à plusieurs séquences, au cours desquelles on fait varier les paramètres courant / tension en quelques millisecondes sous le contrôle d'un ordinateur qui enregistre les résultats. Ensuite, un deuxième test électrique est effectué en élargissant les domaines de tolérance, et à l'issue duquel les pièces sont orientées soit vers le marquage, soit vers la poche rejet QA (Assurance Qualité).
- **Finishing et Packing:** consiste à inspecter la pièce pour la dernière fois pour vérifier le marquage et le cambrage. Après tous les tests mentionnés plus hauts les pièces classées bonnes sont emballées pour être par la suite livrées aux clients. On les emballe dans des cartons qui peuvent contenir 500 pièces.



#### IV. LA LIGNE WATT

La ligne WATT est l'une des sept lignes de production qui composent le site d'assemblage de ST Bouskoura. Elle est divisée en deux zones: la zone assemblage et la zone test & finishing. Cette ligne est destinée à l'assemblage des produits de puissance d'où le nom « WATT » (unité de mesure de la puissance). Ses produits sont appelés « package Multiwatt » et sont essentiellement destinés à l'automobile. On les retrouve par exemple dans le système de freinage de véhicules, contrôle de charge et décharge de batterie ou encore pour l'audio. Ils se présentent sous forme de boîtier à 8, 11 ou 15 pins.

##### 1. GESTION DE LA LIGNE WATT

La ligne Watt, comme toutes les lignes de STM BSK est divisée en deux zones : la zone assemblage et la zone test, chacune de ces deux zones est gérée par trois services, à savoir, le service production, le service maintenance et le service engineering.

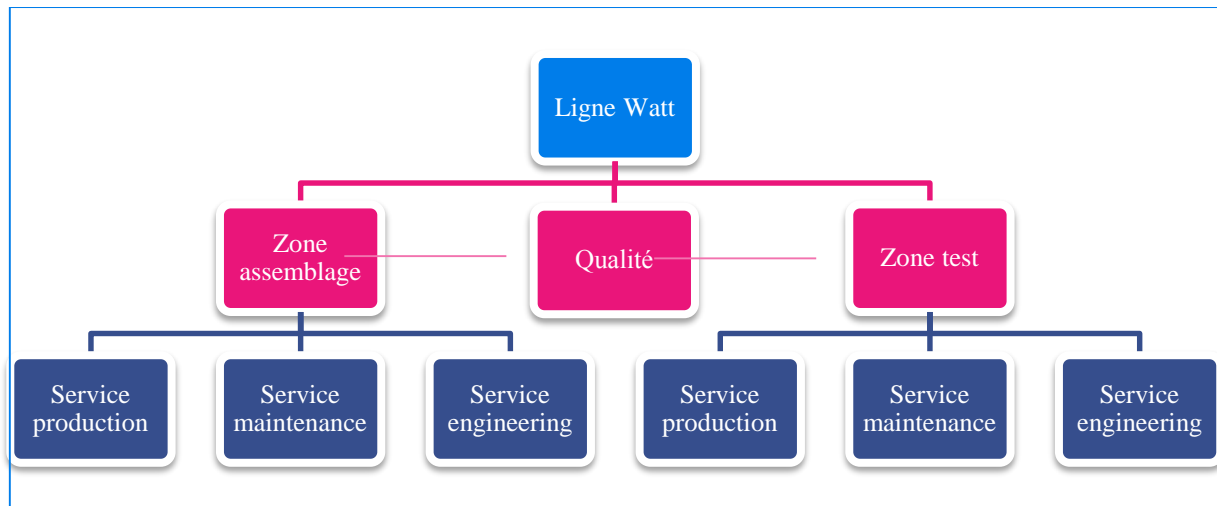


FIGURE 6: ORGANIGRAMME DE LA LIGNE WATT

## 2. SERVICE D'ACCUEIL

Notre stage s'est déroulé au sein du service Engineering de la zone Test, son rôle est d'optimiser le rendement, de garantir la qualité, d'optimiser les process de travail et de gérer et d'analyser les lots à problèmes, il a pour mission de :

- Tester le produit en le soumettant à différentes contraintes de fonctionnement.
- Relever les paramètres et l'enregistrement des mesures obtenues.
- Recueillir les résultats des tests, mettre en forme les informations issues des systèmes de mesures et extraire les données pertinentes afin de délivrer des résultats exploitables.
- Interpréter les résultats et analyser les écarts obtenus par rapport aux spécifications du produit et aux performances attendues définis dans le cahier des charges.
- Diagnostiquer les points de défaillance, en rechercher les causes et évaluer leurs conséquences sur le produit final.
- Rédiger un rapport de bilan des tests et essais effectués qui consigne les défauts et défaillances détectés.
- Proposer des mesures correctives.



### 3. DESCRIPTION DE LA ZONE TEST & FINISHING DE LA LIGNE WATT



FIGURE 7: VUE GENERALE DE LA ZONE TEST DE LA LIGNE WATT

Cette zone est constituée d'un ensemble de testeurs qui assurent le test électrique des composants, chaque testeur est muni d'un Handler qui est la machine qui sert à préparer les pièces à être testées et d'un jig qui sert à simuler le fonctionnement du composant.

La ligne WATT utilise plusieurs types de testeurs, on trouve le teradyne A530 et A565, le EAGLE test system, et le QT200.

#### CONCLUSION

Maintenant que nous avons pris conscience du rôle que joue l'usine STMicroelectronics dans l'industrie des semi-conducteurs et que nous voyons plus clair dans le processus de fabrication, nous pouvons introduire le contexte du projet sujet de notre étude.

# Chapitre II : Contexte du projet

## INTRODUCTION

L'objectif de ce chapitre est de présenter le contexte du projet. Nous annoncerons dans un premier temps la problématique suivie du cahier des charges. Enfin, nous présenterons le planning qui nous permettra d'atteindre nos objectifs tout en respectant les délais.

### I. PROBLEMATIQUE

STMicroelectronics, est contrainte d'atteindre un objectif bien précis pour un grand nombre d'indicateurs dont le rendement qui est un indicateur clé pour l'entreprise, cette dernière vise à avoir un rendement proche des 98%, en revanche pour la ligne WATT cet objectif est encore loin. En effet, les tests révèlent un nombre important de défaillances pour quelques races de produits, et cela est dû à plusieurs facteurs. Le département Engineering de la ligne WATT vise l'accroissement de la capacité de production notamment celle des produits Automotive (APG) qui est régit par des exigences client sévères.

### II. CAHIER DE CHARGES

Afin de palier notre problématique le cahier de charges suivant nous a été proposé :

- suivi des défauts les plus fréquents
- Identification des produits (races) qui représentent un taux de défaillance le plus élevé.
- Analyse des fichiers STDF pour mettre en évidence les différents paramètres qui impactent la productivité
- établir un plan d'action qui permettra d'améliorer le rendement.

Pour atteindre ces objectifs, nous avons envisagé de procéder comme suit :

- Prendre connaissance du processus d'assemblage et du test
- Faire un état des lieux.
- Une analyse critique de la situation actuelle.
- Analyser les défaillances trouvées
- Recherche les origines de ces défaillances
- Proposer des solutions pour chacune des pièces critiques.

### III. PLANNING DU PROJET

GanttProject est une application 100% Java qui nous permet de planifier nos projets en éditant des diagrammes de Gantt. Il permet facilement de décomposer un projet en plusieurs tâches qu'il suffit d'agencer les unes avec les autres.

Pour mener à bien notre projet, nous avons établi un planning des différentes tâches recouvrant toute la période de notre stage. La figure ci-dessous représente le planning que nous allons suivre.

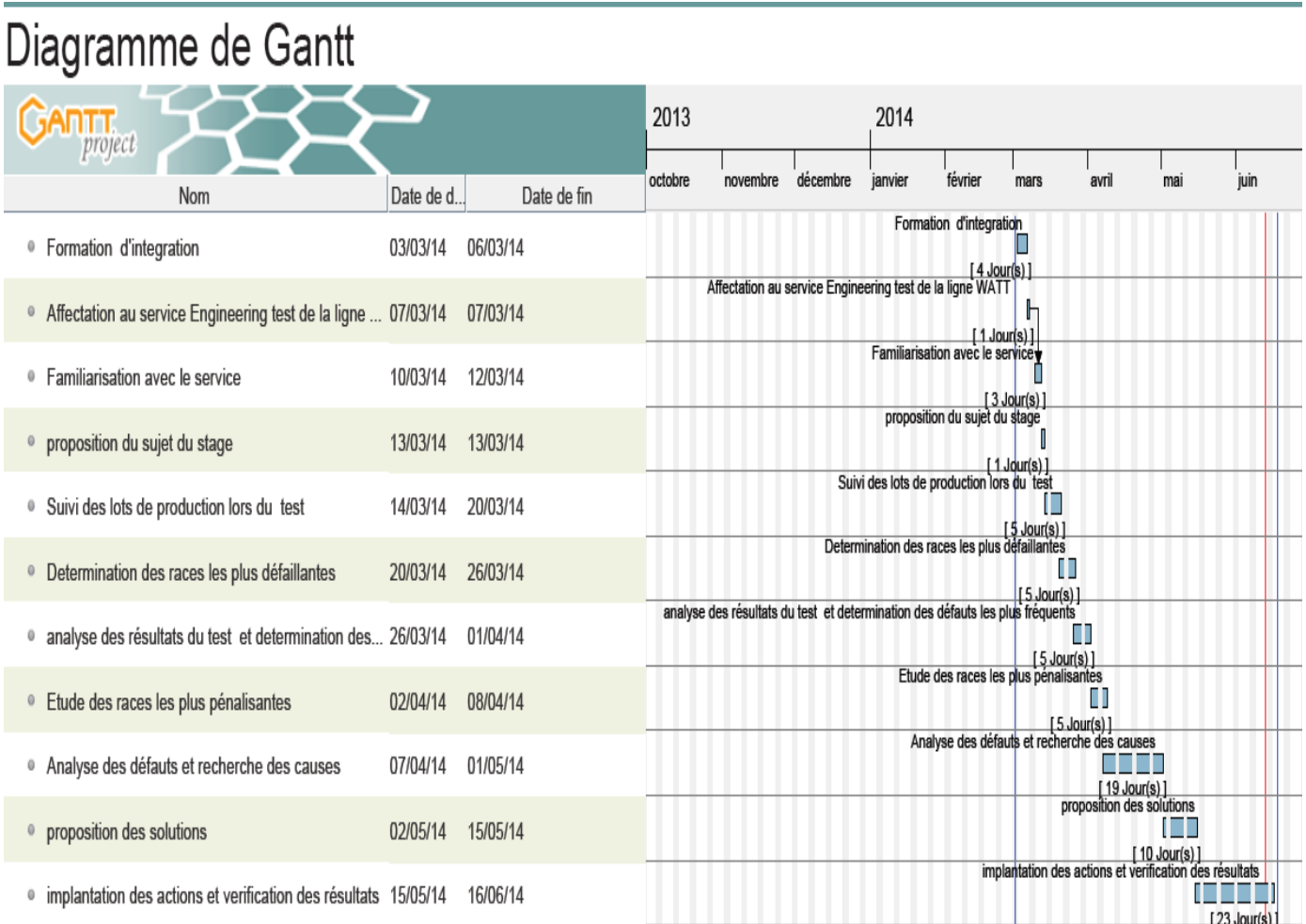


FIGURE 8: PLANNING DU PROJET

### CONCLUSION

Maintenant que le cahier des charges est défini et le plan d'action annoncé, nous passons directement aux études préliminaires à la base desquels nous mènerons notre étude.

## CHAPITRE III : ETUDE PRELIMINAIRE

## INTRODUCTION

Ce chapitre a pour objectif de présenter les notions théoriques sur lesquelles se basera notre travail. Nous présenterons donc, quelques généralités sur les semi-conducteurs ainsi que sur les transistors qui sont des éléments indispensables dans la composition d'un composant semi-conducteur, puis nous entamerons la partie des amplificateurs de puissance. Ensuite nous décrirons le processus de test et les équipements associés, puis nous enchaînerons avec les différents outils de supervision qui permettent de collecter les résultats des tests.

## I. GENERALITES SUR LES AMPLIFICATEURS AUDIO

### 1. FONCTIONNEMENT

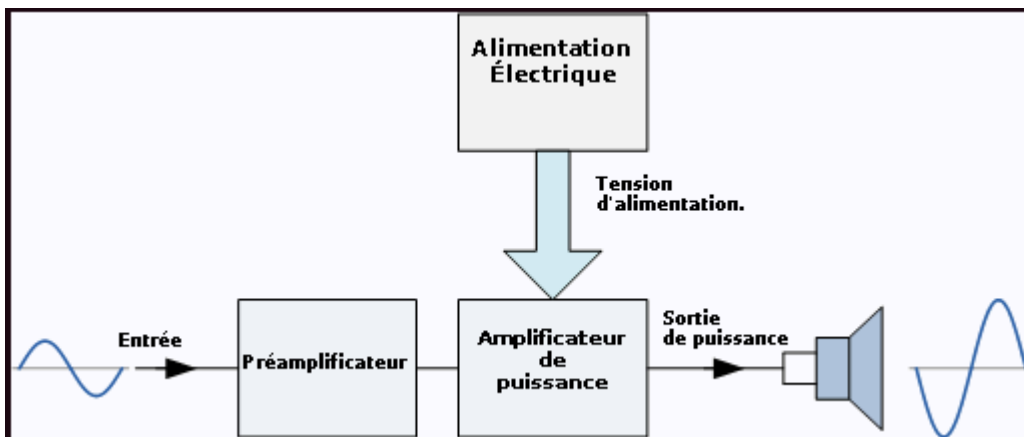


FIGURE 9: SCHEMA DE L'AMPLIFICATION

Un amplificateur audio (figure 9) est un amplificateur électronique conçu pour amplifier un signal électrique audio afin d'obtenir une puissance suffisante pour faire fonctionner une enceinte acoustique ou un haut-parleur.

La plupart des amplificateurs fonctionnent « à gain fixe », c'est-à-dire que le rapport d'amplification entre le signal d'entrée et le signal de sortie est constant. Le niveau du signal d'entrée doit alors être ajusté par un ou plusieurs étages préamplificateurs, afin d'éviter la saturation de l'ampli. Ces étages ont un gain réglable, ils permettent d'ajuster le niveau du signal avant son amplification, donc le volume final. On peut trouver un réglage de gain séparé pour chaque canal d'amplification.

Un amplificateur audio fonctionne toujours sur le même principe :

- Une alimentation est chargée de fournir des tensions symétriques en courant continu .
- Ces courants sont modulés à l'image de l'entrée audio, par les préamplificateurs éventuels, réalisés avec des transistors ou des amplificateurs opérationnels.
- Le signal pré amplifié est envoyé vers un amplificateur de puissance, qui transmet le signal final aux haut-parleurs.

## 2. LES CLASSES D'AMPLIFICATEURS

Les classes de fonctionnement des amplificateurs électroniques sont un système de lettres utilisé pour caractériser les amplificateurs électroniques. Ce classement assigne une lettre pour chaque schéma d'amplificateur électronique.

Ces classes sont définies par la relation entre la forme du signal d'entrée et celle du signal de sortie et par la durée pendant laquelle un composant actif est utilisé lors de l'amplification d'un signal.

### CLASSE A

Dans un amplificateur de classe A, le ou les composants actifs sont toujours en conduction. Ces amplificateurs amplifient tout le signal d'entrée, limitant ainsi les distorsions sur le signal de sortie. Ils n'ont pas un bon rendement : ils dissipent une puissance constante quelle que soit l'amplitude du signal d'entrée. Ainsi, ces amplificateurs atteignent leur rendement maximum lorsque l'amplitude du signal de sortie est aux limites de ce que peut fournir l'amplificateur.

### CLASSE B

Les amplificateurs de classe B n'amplifient que la moitié du signal d'entrée. Ils créent donc beaucoup de distorsion, mais leur rendement est grandement amélioré. Le rendement maximum théorique d'un amplificateur de classe B est de 78,5 %, mais le rendement des amplificateurs réels ne dépasse pas les 70 %. Les amplificateurs de classe B sont généralement utilisés pour réaliser des amplificateurs de basse et moyenne fréquence.

### CLASSE AB

La classe AB est un compromis entre la classe A et la classe B: le point de repos de l'amplificateur se situe entre celui d'un amplificateur de classe A et celui d'un amplificateur de classe B. Une telle méthode de polarisation permet à la classe AB de fonctionner en classe A pour les signaux de faible amplitude puis de se comporter comme un amplificateur de classe B pour les signaux de forte amplitude.

### CLASSE C

Les amplificateurs de classe C amplifient moins de 50 % du signal d'entrée. Le taux de distorsion est important, leur rendement maximum théorique est compris entre 78,5 % et 100 % suivant l'angle de conduction de l'amplificateur.

### CLASSE D

Les amplificateurs précédents utilisent le mode de fonctionnement linéaire du transistor, comme en électronique analogique.

L'amplificateur de classe D utilise le transistor en commutation comme en électronique numérique (0 ou 1, tout ou rien)), mais ce n'est pas un amplificateur numérique.

L'avantage du fonctionnement en commutation est que la puissance dissipée par un transistor quand il est bloqué ou saturé est quasiment nulle. Le rendement de ce genre d'ampli est donc très important (jusqu'à 90%).

## II. GENERALITES SUR LE TEST DES SEMI-CONDUCTEURS

### 1. DESCRIPTION DU TEST ÉLECTRIQUE

Le test électrique est une étape importante dans la production. Car c'est à ce niveau que l'on vérifie si le produit répond au cahier de charge du client. Ce test se fait en deux étapes: un test de production et un test Q.A.

Le test de production consiste à tester toutes les pièces du lot en tenant compte du rendement qui doit respecter les spécifications définies afin de pouvoir par la suite, livrer les produits au client. Quant au test Q.A, c'est un test de contrôle qualité. Il consiste à retester un échantillon de pièces bonnes du lot finissant afin de s'assurer de la qualité du résultat du test de production.

Chaque catégorie de test électrique se fait à deux niveaux:

- **Un test paramétrique** qui permet de mettre en évidence les défauts paramétriques tels que: les courants de fuite, le courant de consommation, la valeur de la résistance thermique RTH, le gain en tension ou en courant et évaluer le bruit.
- **Un test de continuité:** pour vérifier l'état des connections entre broches et puce. L'on inspecte la présence de court-circuits ou de circuits ouverts: «open/short circuits».

A l'issue de ses deux niveaux de test, les pièces testées sont classées en quatre groupes: les pièces bonnes sont classées «bin 1»; Les rejets paramétriques quant à eux sont classés «bin 8», les rejets open/short «bin 6» et les rejets survenus après le test Q.A sont classés «bin 4».

Il arrive souvent qu'il y ait une grande quantité de rejets. dans ce cas une analyse particulière est faite afin de détecter s'il s'agit réellement d'un problème au niveau du « front-end » ou du « back end » ou s'il s'agit d'un problème d'équipement.

**NB:** selon le cahier de charge du client, le test se fera à chaud, à froid ou à température ambiante. Pour le test à froid on connecte une bouteille d'azote au handler via un tube coaxial. Le choix de l'azote est dû à ses propriétés refroidissantes.

### 2. ÉQUIPEMENTS INDISPENSABLES À L'OPÉRATION

Le test électrique pour ce faire nécessite un certain nombre d'équipements à savoir: un testeur, un jig et un handler.



## A) LE TESTEUR

Il est conçu pour tester un lot de pièces. Il se compose d'une armoire principale contenant les parties générales du testeur et un ou deux test-Head.

Un testeur (figure 10) se compose de :

- Un pc qui constitue le cerveau du testeur. C'est l'organe de décision. C'est lui contient également le programme de test de la race à tester.
- Des générateurs de courant pour le forçage de courant et/ou de tension à la pièce lors du test.
- Des cartes d'acquisition.

Le testeur peut être utilisé pour tester un grand nombre de pièces : audio mono, stéréo et quadruples, composants vidéo, régulateurs de tension, amplificateurs opérationnels, comparateurs, Transistors, composants de puissance et beaucoup d'autres.



FIGURE 10: TESTEUR QT200

Schéma général :

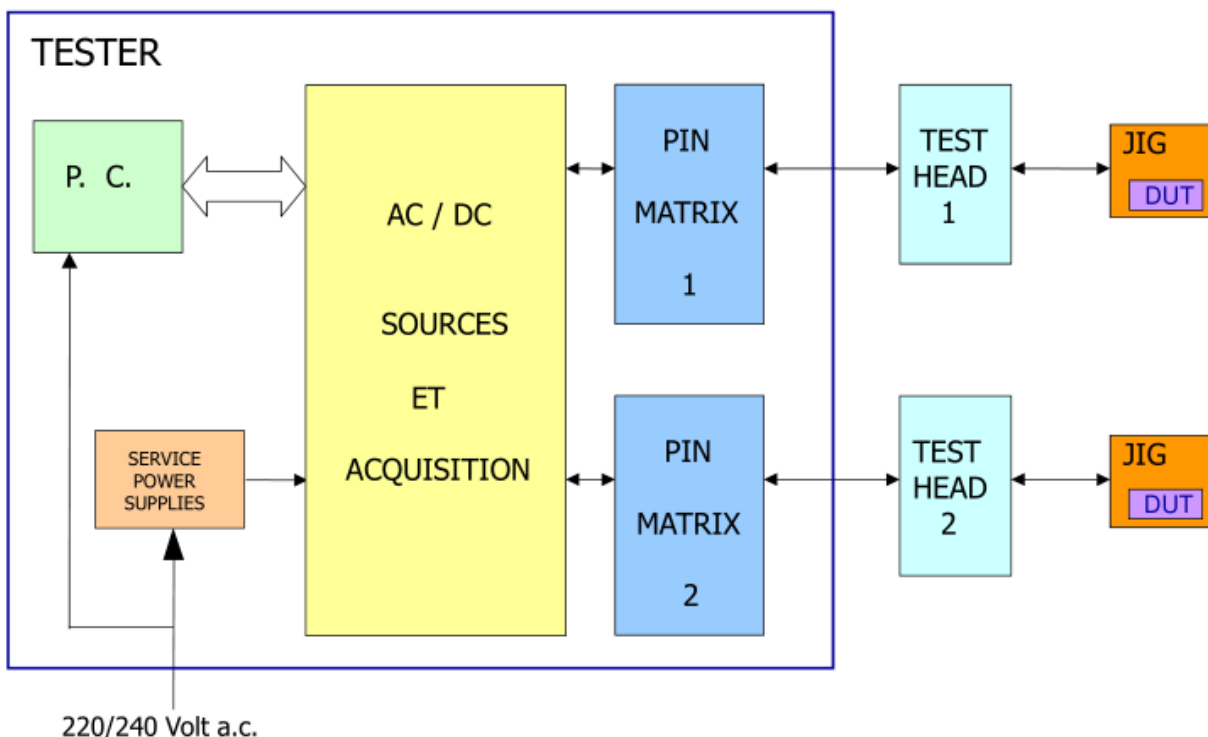


FIGURE 11: SCHEMA GENERAL DU TESTEUR

B) LA MACHINE : HANDLER

Le handler ( figure 12) est l'équipement qui supporte les pièces à tester. On distingue deux types de handler sur la ligne watt : les **Multitest** et les **DTH**. Généralement, le handler est composé d'un chargeur pour acheminer les pièces vers le magasin, une pince qui bloque la pièce juste au niveau du contact avec le jig et un déchargeur pour récupérer les pièces après leur test. Les pièces bonnes sont récupérées avec des tubes bleus et les mauvaises avec des tubes roses.

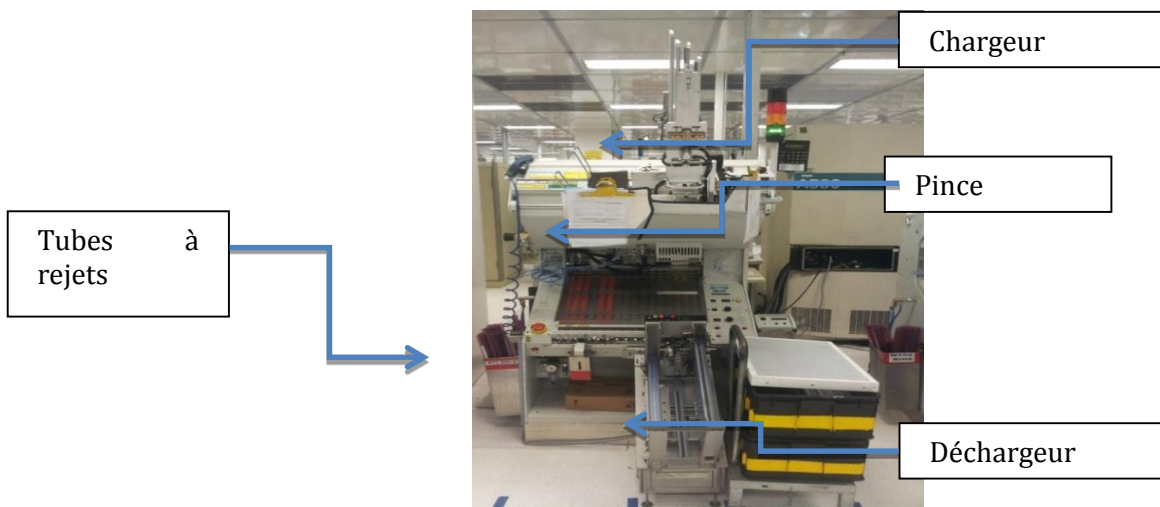


FIGURE 12: MODÈLE D'UN MULTITEST

### C) LA CARTE : JIG

Le Jig( figure 13) est un équipement qui sert à simuler le fonctionnement du composant. C'est lui qui reçoit les grandeurs de forçage générées par les générateurs de courant/tension du testeur pour tester la pièce localisée au niveau de la socket du jig et étant maintenue par la pince du handler.

Le jig ramène également la réponse de la pièce suite à l'excitation. Et le testeur par comparaison aux valeurs limites du programme de test, décide si la pièce est bonne ou mauvaise.

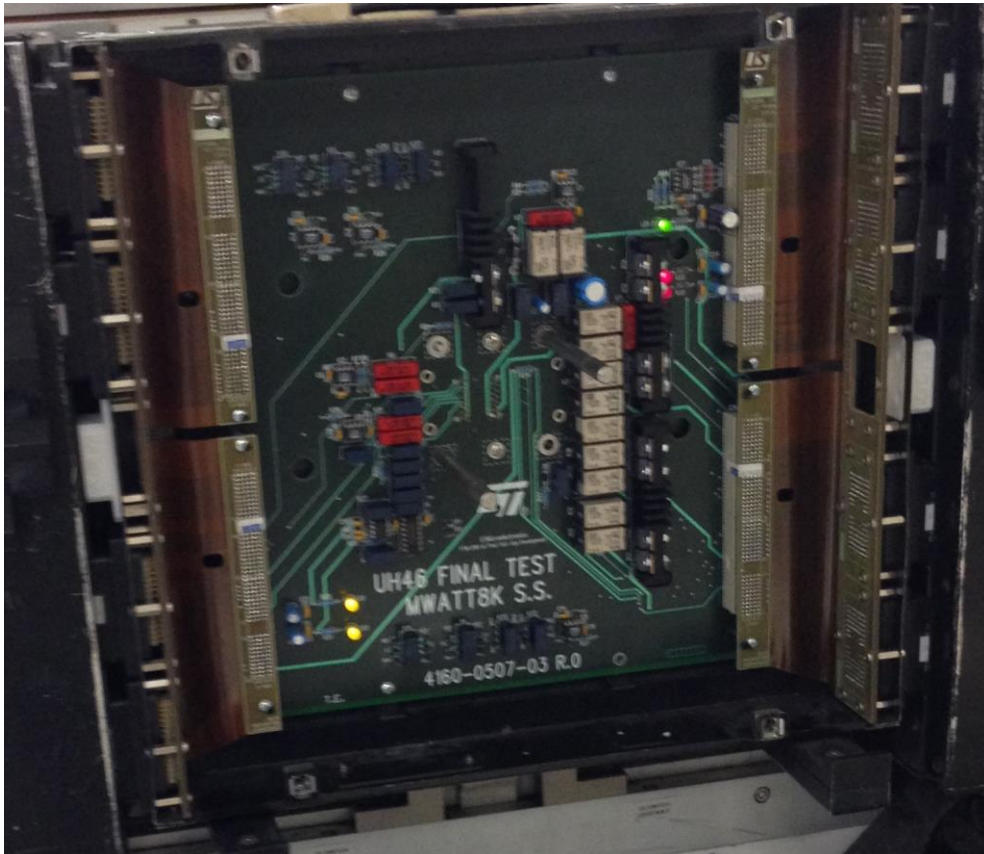


FIGURE 13: MODÈLE D'UN JIG

### 3. OUTILS DE SUPERVISION : STDF

Plusieurs instruments informatiques interviennent dans la supervision du test électrique. Durant notre projet, nous nous intéresserons aux fichiers STDF.

L'abréviation STDF veut dire Standard Test Data Format, est un concept inventé et lancé en 1985 par le Géant mondiale Américain du test des composants électroniques nommé Teradyne. Actuellement mis en place par plusieurs fabricants des testeurs exemple : Verigy, Credence, Ltx. Au début, le STDF a été développé et conçu par Teradyne pour des testeurs qui traitent avec Unix comme Système opératoire seulement.

Actuellement tout type de technologie pourra développer ses propres applications selon ses besoins et ses usages et générera des rapports standards, utilisables et facilement gérables malgré la distinction des technologies.

Il s'agit donc, d'un ensemble de rapports exploitables (figure 14 et 15) et permettant une traçabilité efficace pour les composants déjà fabriqués et vendus aux clients ci-dessous les différents rapports qu'on peut en extraire.

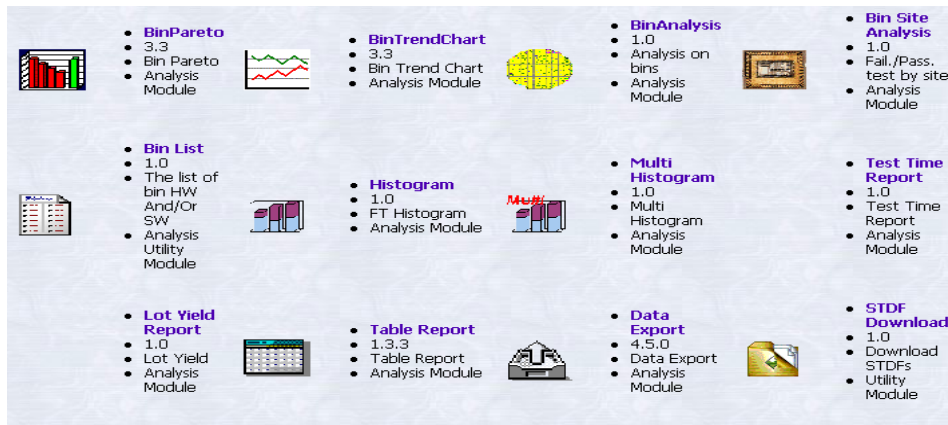


FIGURE 14: DIFFERENTS RAPPORTS EXPLOITABLES

- **Utilité des fichiers STDF**

Les fichiers STDF constituent une image virtuelle des pièces produites et livrées aux clients, on peut en servir lors des investigations pour comprendre l'origine des non-conformités dues à un défaut de fabrication s'il a eu lieu, comme ils sont d'une grande utilité pour améliorer les process de fabrication (souvent utilisés en ingénierie), finalement son utilité permet le passage des investigations de simulation au concret.

- Exemple de rapports du fichier STDF

## Informations globales

| Examinator Report - www.galaxysemi.com |   |
|--|---|
| Report from                            | Examinator Production - V6.3 - www.galaxysemi.com                       |
| Report created                         | Thu Mar 10 16:21:25 2011  |
| Data processed                         | 83.8 KB (85764 bytes)   |
| Processing time                        | 10.21 seconds - Better show microseconds in the next release!           |
| Processing speed                       | 8.4 KB/sec  |
| Examinator expires                     | Sat Dec 10 2011   |
| File name                              | C:\Documents and Settings\youssef oussara\Desktop\CZ10809YZ12_52_17.std |
| Tests mapping file                     | n/a   |
| Setup time                             | Thu Feb 24 10:03:29 2011  |
| Start time                             | Thu Feb 24 12:52:17 2011  |
| End time                               | Thu Feb 24 14:56:07 2011  |
| Test duration                          | 2 hours 03 minutes 50 seconds   |
| Product                                | T200AH-A  |
| Program                                | T200AH-A  |
| Revision                               | 3   |
| Lot                                    | CZ10809YZZ  |
| Sub-Lot                                | n/a   |
| WaferID                                | n/a   |
| Parts processed                        | All Data / parts (any Bin)  |
| Data from Sites                        | All sites   |
| Test time (GOOD parts)                 | 0.292 sec. (excludes tester idle time)                                  |
| Test time (ALL parts)                  | 0.293 sec. (excludes tester idle time)                                  |
| Average test time                      | 1.230 sec. / device (includes tester idle time between parts)           |
| Total parts tested                     | 6039 - Includes parts retested (if any)                                 |
| Good parts (Yield)                     | 5939 (98.34%) - Includes parts retested (if any)                        |
| Bad parts (Yield loss)                 | 100 (1.66%) - Includes parts retested (if any)                          |
| Parts retested                         | n/a   |
| Parts aborted                          | 0 (0.00%)   |
| STDF Version                           | 4.0   |
| Tester name                            | JETON   |
| Tester type                            | TSA   |
| Station                                | 1   |
| Part type                              | T200AH-A  |
| Operator                               | ESSAI   |
| Exec_type                              | TSAXXX.EXE  |
| Exec_version                           | 4   |
| TestCode                               | FT  |
| Test Temperature                       | n/a   |
| User Text                              | n/a   |
| Aux_file                               | n/a   |
| Package type                           | n/a   |
| Per_freq                               | n/a   |

FIGURE 15: EXEMPLE D'INFORMATIONS GLOBALES

## Statistiques des paramètres

| Examinator Report - www.galaxysemi.com |                        | Low L.   | High L. | Source  | Execs | Fails | Outliers | Mean        | Sigma        | Cp    | Cpk  | Yield    |
|--|------------------------|----------|---------|---------|-------|-------|----------|-------------|--------------|-------|------|----------|
| 1                                      | KELV                   | 0.0 O    | 5.0 O   | Samples | 220   | 0     | 0        | 1.07434 O   | 69.2315 mO   | 12.04 | 5.17 | 100.00 % |
| 2                                      | POLAR                  | 0.4 V    | 1.8 V   | Samples | 220   | 2     | 0        | 604.667 mV  | 57.8261 mV   | 4.04  | 1.18 | 99.09 %  |
| 3                                      | IR                     | 9.999 pA | 50 nA   | Samples | 220   | 1     | 0        | 7.53666 nA  | 3.07687 nA   | 2.71  | 0.82 | 99.55 %  |
| 4                                      | VBR                    | 191.0 V  | 212.0 V | Samples | 220   | 2     | 0        | 196223 mV   | 13659.1 mV   | 0.26  | 0.13 | 99.09 %  |
| 5                                      | VF                     | 0.4 V    | 1.3 V   | Samples | 220   | 2     | 0        | 1.25865 V   | 120.621 mV   | 1.24  | 0.11 | 99.09 %  |
| 6                                      | IR                     | 9.999 pA | 50 nA   | Samples | 220   | 1     | 0        | 4.47506 nA  | 2.40019 nA   | 3.47  | 0.62 | 99.55 %  |
| 786000                                 | Soft_Bin parameter     | n/a      | n/a     | Samples | 220   | 0     | 0        | 1.01818     | 0.190257     | n/a   | n/a  | 100.00 % |
| 786001                                 | Hard_Bin parameter     | n/a      | n/a     | Samples | 220   | 0     | 0        | 2.02727     | 0.285385     | n/a   | n/a  | 100.00 % |
| 786002                                 | Die_X parameter        | n/a      | n/a     | Samples | 220   | 0     | 0        | -12851      | 0            | n/a   | n/a  | 100.00 % |
| 786003                                 | Die_Y parameter        | n/a      | n/a     | Samples | 220   | 0     | 0        | -12851      | 0            | n/a   | n/a  | 100.00 % |
| 786004                                 | Test_Time parameter    | 0.0 sec  | n/a     | Samples | 220   | 0     | 0        | 292.65 msec | 83.8685 msec | n/a   | 1.16 | 100.00 % |
| 786006                                 | Testing_Site parameter | n/a      | n/a     | Samples | 220   | 0     | 0        | 1           | 0            | n/a   | n/a  | 100.00 % |
| 786007                                 | Part_ID parameter      | n/a      | n/a     | Samples | 220   | 0     | 0        | 110.5       | 63.6527      | n/a   | n/a  | 100.00 % |

FIGURE 16: EXEMPLE DES PARAMETRES STATISTIQUES

Histogrammes des distributions

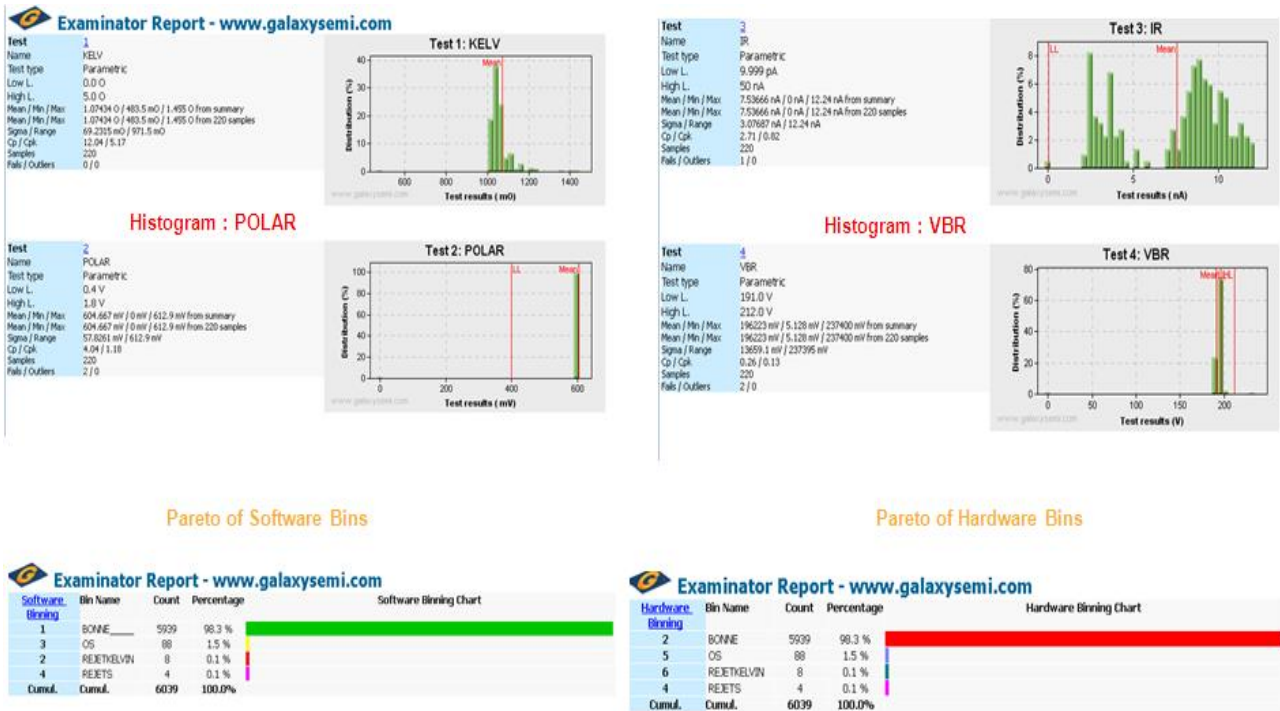


FIGURE 17: EXEMPLE D'HISTOGRAMMES

CONCLUSION

Après ces différentes notions théoriques indispensables à l'assimilation du processus de test des semi-conducteurs, nous passerons à l'étape de l'analyse de l'existant qui va permettre de cerner les pièces critiques.

# Chapitre VI : état des lieux

## INTRODUCTION

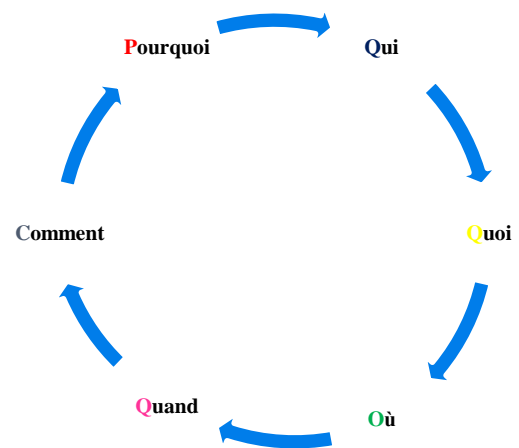
Dans ce chapitre, nous allons dans un premier temps identifier la problématique du sujet en appliquant la méthode QOOQCP, ensuite nous établirons une analyse Pareto afin de déterminer les défauts les plus pénalisants. Et en dernier lieu, et par application de la même méthode, nous relèverons la liste des pièces critiques sur lesquelles portera notre étude.

### III. IDENTIFICATION DE LA PROBLEMATIQUE DU SUJET:

#### 1. L'OUTIL DE QUALITE QOOQCP

Toute entreprise est confrontée à des problèmes aussi variés, certains ont des solutions évidentes, d'autres sont plus complexes, et nécessitent une grande compréhension de la situation. La méthode **QOOQCP** [3] permet d'avoir sur toutes les dimensions du problème, des informations élémentaires suffisantes pour identifier ses aspects essentiels. Elle adopte une démarche d'analyse critique constructive basée sur le questionnement systématique.

#### SYNONYMES :



**QOOQCP** : Quoi? Qui? Où? Quand? Comment? Pourquoi?

#### PRINCIPE :

Il s'agit de poser les questions de façon systématique afin de n'oublier aucune information connue :

#### Quoi?

On pose cette question pour une meilleure description de l'activité ou de la tâche ou du problème.

#### Exemple de questions à poser :

- De Quoi s'agit-il ?
- Quel est l'état de la situation?
- Quelles sont les caractéristiques?
- Quelles sont les conséquences?
- Quel est le risque ?

#### Exemple de cibles :

- les Actions



- les procédés
- les Objets
- les méthodes
- les opérations

### Qui?

Cette question permet une meilleure description des exécutants, acteurs ou personnes concernées

#### Exemple de questions à poser :

- Qui est concerné ?
- Qui a le problème?
- Qui est intéressé par le résultat?
- Qui est concerné par la mise en œuvre?

#### Exemple de cibles :

- Responsable, victime, acteur ...
- Unités de production, services ...
- clients, opérateurs, fournisseurs ...
- compétence, qualification,... ...

### Où?

Cette question concerne la description des lieux

#### Exemple de questions à poser :

- Où cela se produit-il et s'applique-t-il ?
- Où le problème apparaît-il?
- Dans quel lieu?
- Sur quelle machine?

#### Exemple de cibles :

- Lieux, local, distance ...
- service, atelier ...
- poste, machine...

### Quand?

On pose cette question pour bien définir les temps.

#### Exemple de questions à poser :

- Depuis quand vous avez ce problème?
- Quand cela apparaît-il ?
- Quand le problème a-t-il découvert?
- Quelle est sa fréquence? ?
- Quand se produit le risque ?

**Exemple de cibles :**

- Mois, jour, heure,
- Moments, périodicité, fréquence, prévisibilité
- Durée, planning, délais

**Comment?**

Pour une meilleure description de la manière ou de la méthode.

**Exemple de questions à poser :**

- Comment se produit le problème?
- De quelle manière?
- Dans quelles conditions ou circonstances?
- Comment procède-t-on ?
- Avec quelles méthodes, quels moyens?
- Comment mettre en œuvre les moyennes nécessaires?

**Exemple de cibles :**

- Méthode, modes opératoires, Organisation du travail.
- Procédures, règlements, consignes.
- Equipements, matière première.

**Pourquoi?**

Cette question peut se poser à la suite des autres questions mais il convient aussi de la poser pour toutes les questions Quoi ? Qui ? Ou ? Quand ? Comment ?

**2. METHODE QQQQCP :**

Le QQQQCP (outil qualité) ci-dessous a permis de dégager et formuler la problématique du projet (Tableau 1) :

|  |   |
|--|---|
| <b>Quoi ?</b><br>Quel est le problème ?                      | Rendement faible.   |
| <b>Qui ?</b><br>Qui est concerné par le problème ?           | La ligne de production WATT   |
| <b>Où ?</b><br>Où apparait le problème ?                     | Zone test de la ligne de production WATT                                    |
| <b>Quand ?</b><br>Depuis quand apparait le problème ?        | Depuis quelques quaters.  |
| <b>Comment ?</b><br>Comment apparait le problème ?           | -Bilan de rendements trimestriels.<br>-Quantité de rejets.                  |
| <b>Pourquoi ?</b><br>Pourquoi faut-il résoudre le problème ? | Pour améliorer le rendement et atteindre l'objectif fixé pour l'année 2014. |

TABLEAU 1: TABLEAU DE LA METHODE QQQQCP

## II. DEFINITION DU PERIMETRE D'ACTION :

Afin de faire un diagnostic approfondi de l'état actuel, nous allons commencer par recueillir l'historique des rendements par période de 3 mois de toutes les pièces réalisées au sein de la ligne WATT. Et par la suite nous classerons les pièces selon leur taux de défaillance et définirons les défauts les plus fréquents. Pour ce faire nous allons avoir recours à la réalisation d'analyses Pareto.

### 1. METHODE ABC – LOI DE PARETO :

Pareto est un économiste et sociologue italien qui, le premier au début du 20ème siècle a représenté graphiquement la répartition des richesses et montré que 20% de la population italienne détenait 80% de la richesse totale.

Le diagramme Pareto [4] est donc basé sur ce principe, qui veut que bien souvent quelques causes seulement (20%) soient responsables de la majeure partie des effets (80%) ce diagramme permet de représenter graphiquement ce 20% à fort impact et de lui accorder un effort prioritaire d'amélioration.

Le diagramme de Pareto est un moyen simple pour classer les phénomènes par ordre d'importance. Ce diagramme et son utilisation sont aussi connus sous le nom de "règle des 20/80".

Les illustrations de l'utilisation des diagrammes de Pareto sont aussi nombreuses que variées, citons à titre d'exemples:

-Les inventaires ou stocks où il est courant de s'apercevoir que seuls 20% des articles contribuent à 80% du chiffre d'affaire.

-Analyse d'un Process: seuls 20% des opérations accumulent 80% de la valeur ajoutée

-les suivis qualité : 20% des causes représentent 80% de l'ensemble des défauts.

#### a) Le diagramme de Pareto outil de la qualité :

Le produit conforme est celui qui répond à l'exigence formulée par le client, et acceptée par le fournisseur. Lorsque cette exigence n'est pas respectée, le produit est alors non conforme. La non-conformité induit des coûts pour le fournisseur (modifier, jeter, rappeler le produit, expédier à nouveau....)

La réduction du taux de la non-conformité engendre des gains très importants. Il est donc essentiel pour une direction d'identifier les causes de non-conformité majeures afin de les combattre et de réduire ainsi les pertes générées.

**b) Construction du diagramme de Pareto:**

Le diagramme de Pareto est un histogramme dont les plus grandes colonnes sont conventionnellement à gauche et vont décroissant vers la droite. Une ligne de cumul indique l'importance relative des colonnes. Cet outil permet, une fois les données recueillies, de retenir celles qui sont les plus importantes, et d'en décider les actions à mener.

A partir des données recueillies, on définit la catégorie, puis :

- On répartit les données dans les catégories
- On calcule les pourcentages pour chaque catégorie : fréquence /total,
- Les catégories sont classées dans l'ordre décroissant,
- On calcule le pourcentage cumulé
- On place les colonnes sur le graphique, en commençant par la plus grande à gauche,
- Lorsque les barres y sont toutes, on trace la courbe des pourcentages cumulés.

L'intérêt du diagramme de Pareto est de montrer que dans un premier temps il est plus "payant" d'attaquer les premières défauts, plutôt que de chercher à élucider les défauts qui n'apparaissent que très rarement. On discrimine aisément les quelques essentiels parmi les nombreux autres.

Dans notre cas, afin d'identifier les pièces et défauts les plus pénalisants, nous nous sommes basées sur un l'historique des fiches de rendement.

**2. ANALYSE PARETO :****a) Analyse Pareto des défauts**

Comme nous avons vu auparavant, il existe différents types de défauts qui peuvent impacter les pièces fabriquées au sein de la ligne Watt. Dans un premier temps, nous allons définir le type de défauts qui survient le plus au sein de cette ligne de production.

Pour cela nous avons considéré la période allant du mois de janvier 2013 jusqu'au mois de février 2014 et nous avons pu recueillir les informations représentées dans le tableau ci-dessus :

| Défaut | Pièces<br>rejetées | Pourcentage<br>de rejet | Pourcentage<br>cumulé |
|--------|--------------------|-------------------------|-----------------------|
| T701   | 503                | 31.09%                  | 31.09%                |
| T700   | 420                | 26.00%                  | 57.09%                |
| T079   | 240                | 14.83%                  | 71.93%                |
| T703   | 160                | 9.91%                   | 81.83%                |
| T702   | 79                 | 4.91%                   | 86.75%                |
| T709   | 58                 | 3.60%                   | 90.35%                |
| T707   | 45                 | 2.80%                   | 93.14%                |
| T333   | 38                 | 2.36%                   | 95.51%                |
| T906   | 31                 | 1.97%                   | 97.48%                |
| T706   | 22                 | 1.40%                   | 98.89%                |
| T704   | 14                 | 0.89%                   | 99.78%                |
| T708   | 3                  | 0.22%                   | 100%                  |

TABLEAU 2: TABLEAU DES DIFFERENTS REJETS POUR L'ANNEE 2013+ JANVIER ET FEVRIER 2014

A partir du tableau de l'historique des rejets, nous avons élaboré le diagramme Pareto relatif aux défauts les plus fréquents.

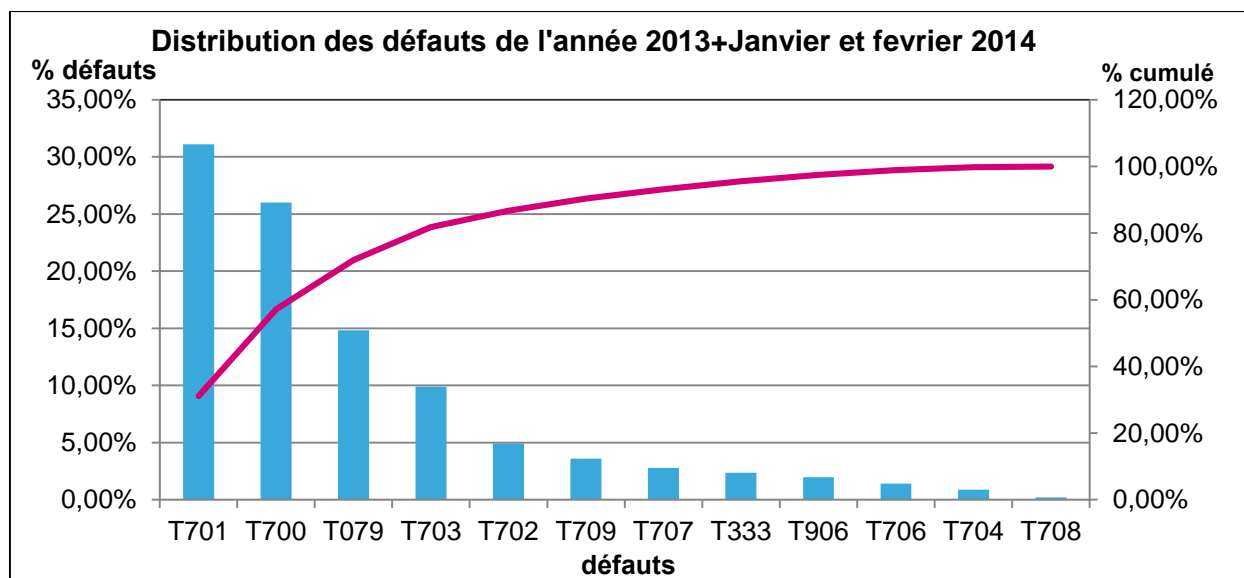


FIGURE 18: DIAGRAMME PARETO DES REJETS PAR DEFAUT

On constate que les défauts les plus fréquents sont:

- **T701**: Défauts paramétriques ou autrement dits les défauts survenus au niveau du test électrique.
- **T700**: défauts Open/Short et qui correspondent aux défauts de continuité au niveau de la puce ou au niveau des connexions.

NB : Nous avons donc décidé par la suite de ne considérer que les défauts paramétriques.

Maintenant que nous avons déterminé les défauts les plus fréquents, nous devons déterminer les produits (races) qui représentent un taux de défaillance le plus élevé.

### b) Analyse PARETO des pièces

A présent, nous allons classer les rejets par race, le tableau ci-dessous représente le taux de pièces rejetées par race :

| code du composant | Races   | Pièces rejetées | Pourcentage de rejet | Pourcentage cumulé |
|-------------------|---------|-----------------|----------------------|--------------------|
| TDA7377           | L022FA  | 161 044.00      | 18.84%               | 18.84%             |
| STA540            | L690    | 125 658.00      | 14.70%               | 33.54%             |
| L9914A            | UH40    | 56432.00        | 10.11%               | 43.56%             |
| TDA7265           | L145    | 73644.00        | 8.61%                | 52.26%             |
| TDA7396           | L086    | 44624.00        | 5.22%                | 57.48%             |
| TDA2009A          | L443    | 43582.00        | 5.10%                | 62.58%             |
| L9726             | UH26    | 43426.00        | 5.08%                | 67.66%             |
| TDA7379           | L022GB  | 41832.00        | 4.89%                | 72.55%             |
| TDA7294           | U115    | 37553.00        | 4.39%                | 76.95%             |
| TDA7293           | U619    | 33846.00        | 3.96%                | 80.91%             |
| L298N             | L693    | 29795.00        | 3.49%                | 84.39%             |
| L9409F            | UE23    | 28995.00        | 3.39%                | 87.78%             |
| TDA7269A          | L529    | 22283.00        | 2.61%                | 90.39%             |
| L9468N            | U731    | 18884.00        | 2.21%                | 92.60%             |
| TDA7376B          | L080    | 18687.00        | 2.19%                | 94.78%             |
| L6203             | U002    | 17837.00        | 2.09%                | 96.87%             |
| L9911I            | UH56    | 9645.00         | 1.13%                | 98.00%             |
| L6203             | U002HAZ | 9592.00         | 1.12%                | 99.12%             |
| TDA7297           | L180    | 7516.00         | 0.88                 | 100.00%            |

TABLEAU 3: TABLEAU DES REJETS PAR RACE

A partir du tableau de l'historique des rejets, nous avons élaboré le diagramme Pareto relatif aux races qui représentent le plus de défauts :

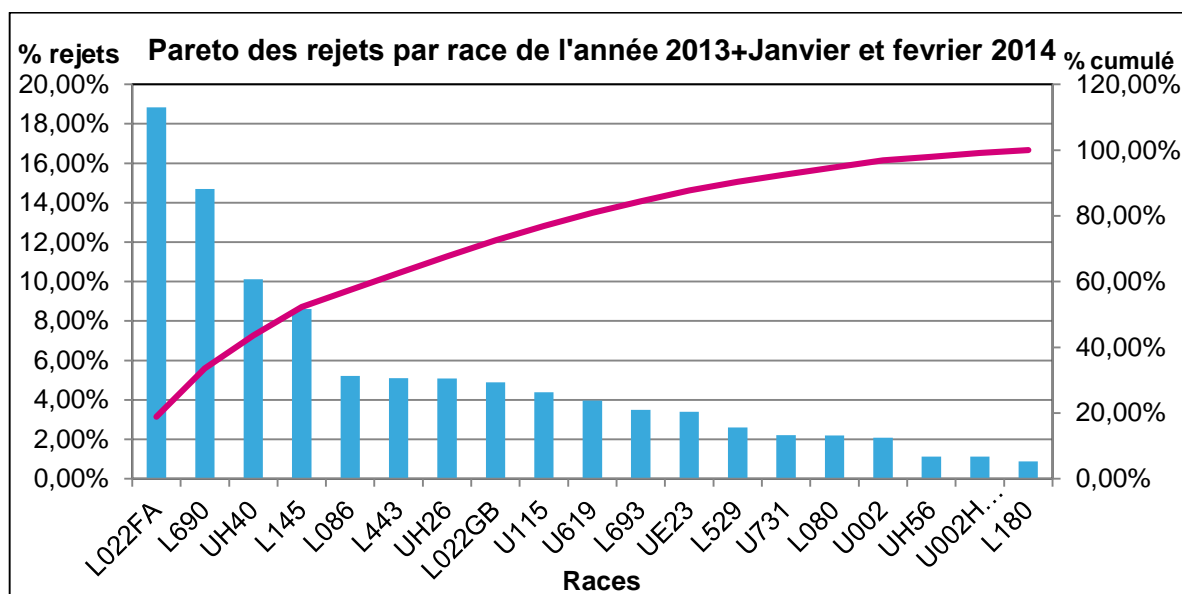


FIGURE 19: DISTRIBUTION DES REJETS PAR RACE

On constate que les races qui représentent le plus de défauts sont la L022FA et la L690 de leurs noms commerciaux respectifs : TDA7377 et STA540.

### III. RECHERCHE DES CAUSES PROBABLES DU PROBLÈME:

Pour mieux cerner le problème des défauts paramétriques qui impactent la ligne Watt, nous analyserons les causes majeurs qui peuvent être à l'origine de ces défauts en général. Pour cela nous avons choisi de travailler avec la méthode d'Ishikawa.

#### 1) METHODE D'ISHIKAWA

##### A) DIAGRAMME D'ISHIKAWA, QU'EST-CE QUE C'EST?

C'est un outil qui permet d'identifier les causes d'un problème. [5] On a une vision globale des causes génératrices d'un problème avec une représentation structurée de l'ensemble des causes qui produisent un effet. Il y a une relation hiérarchique entre les causes et on est en mesure d'identifier les racines des causes d'un problème.

Le diagramme d'Ishikawa (ou diagramme en arête de poisson, diagramme cause-effet ou 5M) permet de limiter l'oubli des causes et de fournir des éléments pour l'étude des solutions. Cette méthode permet d'agir sur les causes pour corriger les défauts et donner des solutions en employant des actions correctives.

## B) LES REGLES D'OR

**Groupe de travail** : Avant de commencer, il faut former un groupe de travail pluridisciplinaire et chaque membre doit y participer.

**Brainstorming** : Il est recommandé de pratiquer auparavant un brainstorming pour trouver toutes les causes au problème. Donc chaque membre du groupe peut librement exprimer ses opinions.

**Démarche** : Par la suite il faut identifier les causes principalement responsables du problème et les classer selon leur relation par rapport au problème posé.

## C) DEROULEMENT DU DIAGRAMME D'ISHIKAWA

### Étape 1:

- Définir clairement le problème
- Placer une flèche horizontale, pointée vers le problème.

### Étape 2:

Classer les causes recherchées en grandes familles

- **Matière:** matière première, fourniture, pièces, ensemble, qualité, ...
- **Matériel:** machines, outils, équipement, maintenance, ... recense les causes qui ont pour origine les supports techniques et les produits utilisés.
- **Main d'œuvre:** directe, indirecte, motivation, formation, absentéisme, expérience, problème de compétence, ....
- **Milieu:** environnement physique, lumière, bruit, poussière, localisation, aménagement, température, législation, ....
- **Méthode:** instructions, manuels, procédures, modes opératoires utilisés, ....

### Étape 3:

- Flèches secondaires : Ces flèches secondaires correspondent au nombre de familles de causes identifiées. Il faut les raccorder à la flèche horizontale. Chaque flèche identifie une des familles de causes potentielles.

### Étape 4:

- Minis flèches : Les causes rattachées à chacune des familles sont inscrits sur des minis flèches. Il faut avoir toutes les causes potentielles.

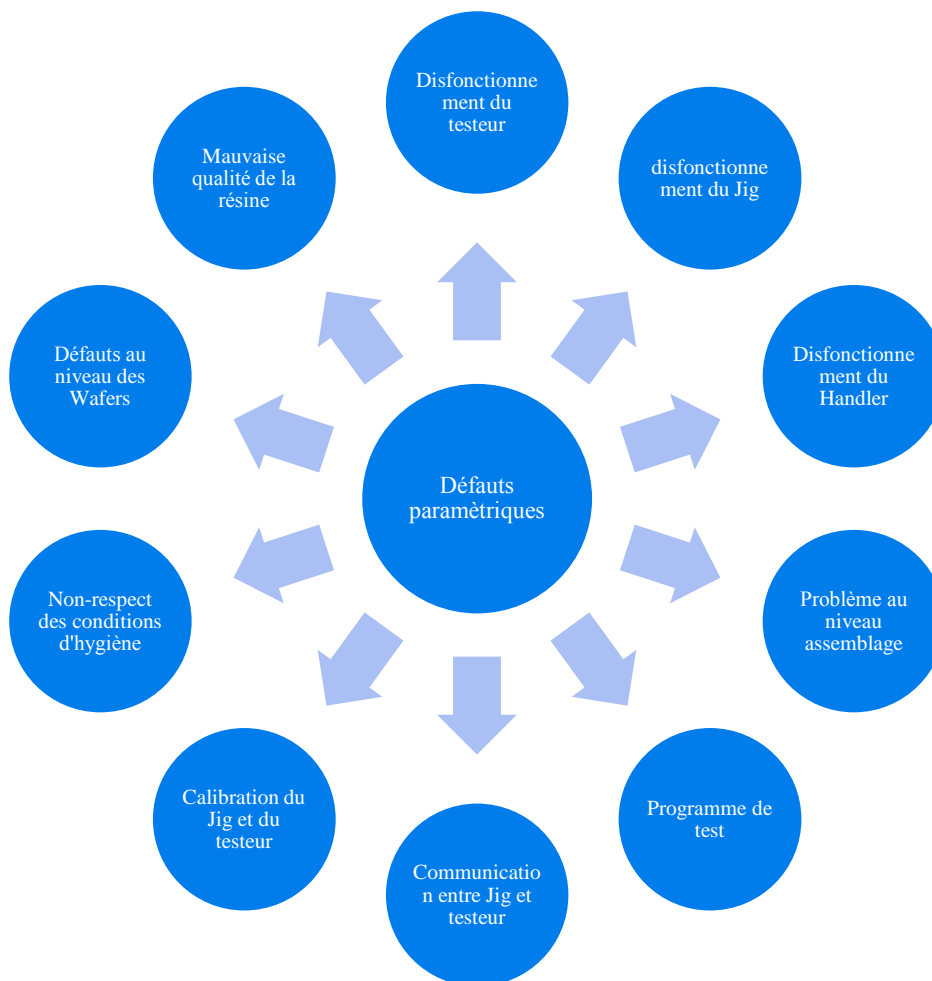


**Étape 5:**

- Finalisation : Il faut rechercher parmi les causes potentielles les causes réelles du problème. Il faut agir dessus, les corriger en proposant des solutions.

**2) BRAINSTORMING**

Pour trouver toutes les causes possibles nous avons proposé de déclencher une réunion qui regroupera quelques membres de la zone test afin de pratiquer un brainstorming qui nous aidera à dégager toutes les idées possibles en relation avec notre problème, le schéma ci-dessous représente les différentes idées proposées.



**FIGURE 20: RESULTATS DE LA SEANCE DE BRAINSTORMING**

### 3) DIAGRAMME D'ISHIKAWA:

Après avoir recueilli les différentes causes possibles, nous classerons celles-ci selon plusieurs critères, pour cela nous avons choisi de travailler avec la méthode d'ISHIKAWA. Le tableau ci-dessous représente le classement des causes selon les 5M :

| Familles     | Sous familles possible   |
|--------------|--|
| Machine      | Disfonctionnement du testeur<br>disfonctionnement du Jig<br>Disfonctionnement du Handler<br>Problème au niveau de l'assemblage |
| Méthode      | Programme de test<br>Communication entre Jig et testeur<br>Calibration du Jig et du testeur                                    |
| Main d'œuvre | Non-respect de:<br>Date calibration testeur<br>Date de changement des pins du Jig et des unités de contact.                    |
| Milieu       | Non-respect des conditions nécessaires du travail aux salles blanches  |
| Matière      | Défauts au niveau des Wafers<br>Mauvaise qualité de la résine  |

TABLEAU 4: TABLEAU DES 5M

A partir du tableau on génère le diagramme d'Ishikawa suivant :

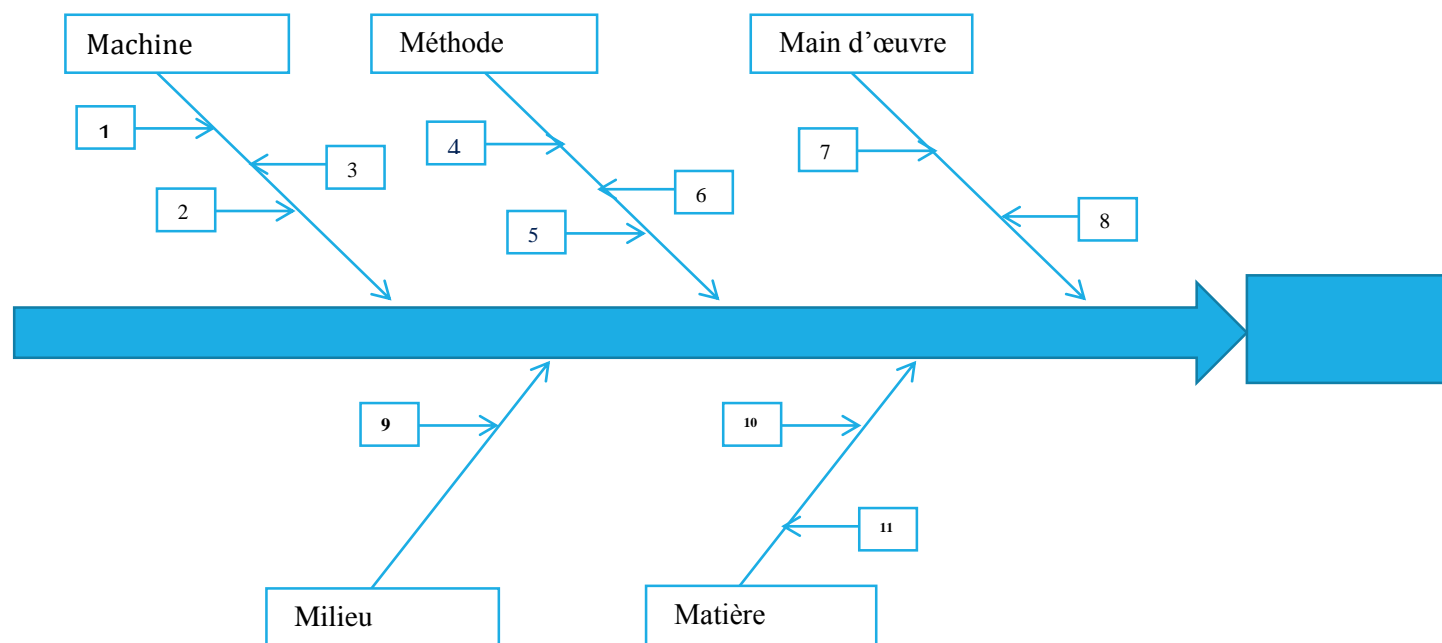


FIGURE 21: DIAGRAMME D'ISHIKAWA

A partir des différentes causes citées, nous pouvons conclure l'existence de trois causes génériques des défauts paramétriques :

- Disfonctionnement de l'un des équipements au niveau de l'étape de test des composants.

- Présence d'anomalies lors de l'assemblage des composants.
- Présence de défauts dans la matière première provenant du front-end.

## CONCLUSION

Maintenant que nous avons relevé les pièces pénalisantes qui seront l'objet de notre étude, nous allons, dans le chapitre suivant, procéder à une analyse à l'issue de laquelle un plan d'action sera établi.

## Chapitre V : Plan d'action

## INTRODUCTION

L'analyse de défaillance est une étape importante dans l'amélioration de la qualité des produits et leur développement [7]. En effet, la compréhension des mécanismes de défaillances et donc la mise en place des actions correctives de la cause de la défaillance dépendent des résultats de ces analyses. Pour assurer leur résolution, ce chapitre va s'attacher à décrire les analyses de défaillance des composants électroniques tout en suivant deux règles principales :

- une bonne connaissance théorique des techniques expérimentales dédiées à l'analyse pour les utiliser avec maîtrise.
- une méthodologie de travail rigoureuse pour assurer le meilleur choix possible dans les différentes étapes d'une analyse de défaillance.

Dans un premier lieu, nous allons voir un peu plus en détail la configuration de ces composants, qui sont tous les deux des amplificateurs audio, ensuite nous procéderons à l'étude des différents défauts paramétriques qui impactent le plus le rendement de chacune d'elles. Pour cela nous avons choisi d'appliquer la méthode de résolution des problèmes DMAIC.

### I. DEMARCHE DMAIC :

DMAIC est une approche structurée de résolution de problèmes, le sigle DMAIC est le plus souvent restitué par les verbes (Définir, Mesurer, Analyser, Innover, Contrôler).

| Etapes  | Objectifs/ taches   |
|---------|---|
| Define  | Définir le projet : les gains attendus, le périmètre du projet, les responsabilités   |
| Measure | Définir et valider les moyens de mesure, mesurer les variables de sortie, les variables d'état et les variables d'entrée du processus, collecter les données. |
| Analyze | Analyser les données, établir les relations entre les variables d'entrée et de sortie du processus, identifier les variables clés du processus.               |
| Improve | Imaginer les solutions, tester les améliorations.   |
| Control | Mettre sous contrôle la solution retenue.   |

TABLEAU 5: ETAPES DE LA METHODE DMAIC

II. L'AMPLIFICATEUR AUDIO TDA7377

1. DEFINIE

a) La Méthode QQQQCP :

Le QQQQCP (outil qualité) ci-dessous a permis de dégager et formuler la problématique (tableau 6):

|  |  |
|--|--|
| <b>Quoi ?</b><br>Quel est le problème ?                      | L'amplificateur audio TDA7377 présente un taux de rejets paramétriques très élevé.                               |
| <b>Qui ?</b><br>Qui est concerné par le problème ?           | La ligne de production WATT  |
| <b>Où ?</b><br>Où apparaît le problème ?                     | Zone test de la ligne de production WATT   |
| <b>Quand ?</b><br>Depuis quand apparaît le problème ?        | Depuis quelques quaters.   |
| <b>Comment ?</b><br>Comment apparaît le problème ?           | -Bilan de rendements trimestriels.<br>-Pareto des rejets<br>-Quantité de rejets.<br>-Nombre de lots à problèmes. |
| <b>Pourquoi ?</b><br>Pourquoi faut-il résoudre le problème ? | Pour améliorer le rendement de cette race et par conséquent celui de toute la ligne.                             |

TABLEAU 6 : MÉTHODE QQQQCP

b) Description de l'amplificateur audio TDA7377

Le TDA7377 est une nouvelle technologie d'amplificateurs audio de classe AB pour les radios de voiture délivrant une puissance de 30 W. Sa structure interne est représentée dans le bloc digramme (figure 21)

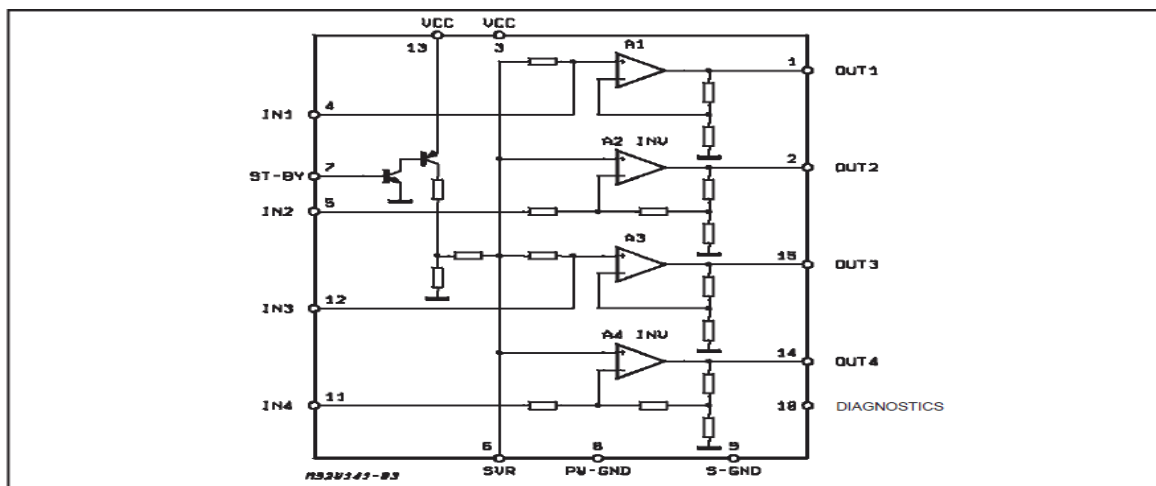


FIGURE 22:BLOCK DIAGRAMME DE L'AMPLIFICATEUR TDA7377

Comme le montre le schéma ci-dessus, le TDA7377 est composé de 4 étages d'amplificateurs dont deux sont des montages inverseurs tous alimentés par une tension d'alimentation Vcc.

**DESCRIPTION DES PINS**

Le boîtier du composant TDA7377 (figure 22) possède 15 pins présentés de la manière suivante :

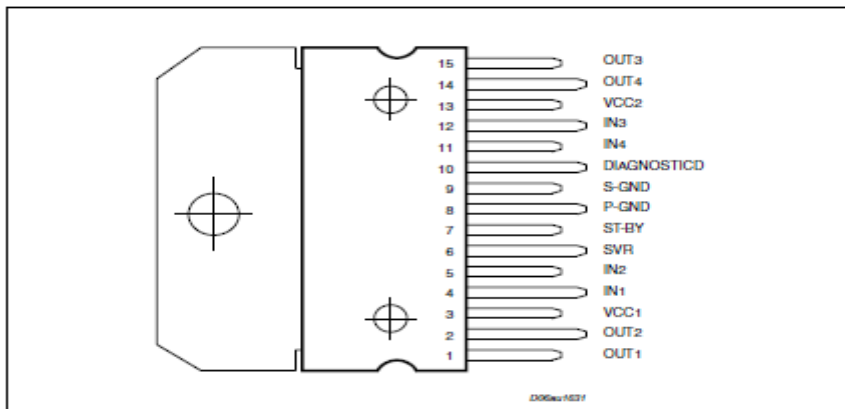


FIGURE 23: VUE GENERALE DU TDA7377

**c) Définition des défauts paramétriques les plus fréquents**

Afin de définir les défauts paramétriques qui présentent un taux de défaillance important, nous avons décidé de faire une analyse Pareto (figure 23) à partir des informations tirées des fichiers STDF. Nous considérerons des périodes s'étalant sur le mois janvier et février de l'année 2014.

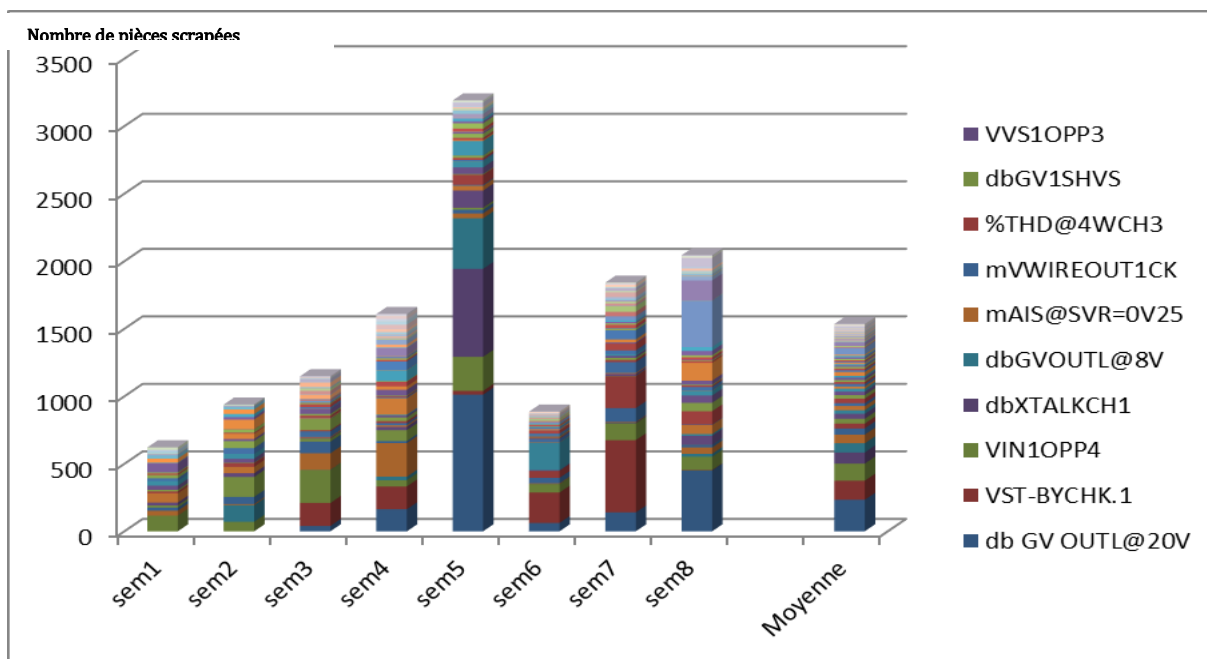


FIGURE 24: DISTRIBUTION DES DEFAUTS PARAMETRIQUES DE LA RACE TDA7377

D'après l'analyse effectuée ci-dessus nous constatons que les défauts les plus fréquents sont :

- dB Gv OUTL @20V
- VST-BYCHK.1
- DbXTALKCH1

Nous allons nous intéresser à l'étude du défaut « dB Gv OUTL@20V » puisqu'il représente le défaut paramétrique le plus fréquent.

## 2. MEASURE

### a) Etude du défaut paramétrique «dB Gv OUTL @ 20V »

Pour commencer, le paramètre « dB Gv OUTL @ 20V » représente un défaut qui survient lorsqu'il y a une défaillance lors de la mesure du gain en tension du premier étage d'amplificateurs de l'amplificateur audio TDA7377 pour une configuration en Bridge (figure 24).

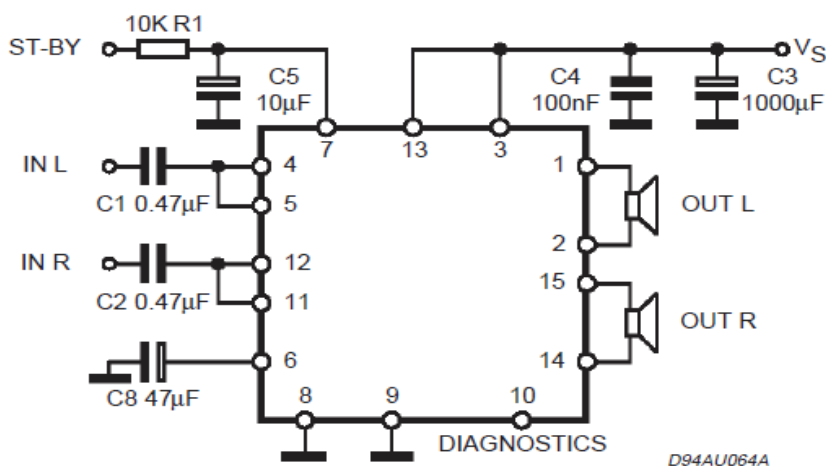


FIGURE 25: CIRCUIT D'APPLICATION EN MODE BRIDGE DU TDA7377

Dans un premier temps nous allons nous focaliser sur la partie du programme de test correspondante à la mesure de ce paramètre.

#### PROGRAMME DE TEST

En ce qui concerne le test du paramètre « dB Gv OUTL @20V », le programme de test se présente comme suit :

Au début, on attribue aux alimentations utilisées pour cette mesure une valeur ou une variable dont la valeur est déjà fixée auparavant :

```
set pw 17, 20V,range 30V,imax 1A,clamp 2A;
set pw 13, svr_20V,imax 2ma,field 64,clamp 5ma;
set pw 15, svr_20V,imax 2ma,field 64,clamp 5ma;
wait 5ms;
```

Les alimentations utilisées sont

- Pw 17 qu'on fixe à 20V et qui correspond à la tension d'alimentation du circuit et qu'on attribue à Vcc ( pin 3, 13).
- Pw 13 et Pw 15, à qui on attribue la variable SVR\_20V, dont la valeur est déjà mesurée dans un test ultérieur. Cette valeur est attribuée aux entrées In1 (pin 5) et In3 (pin 12).
- Pw 0 qu'on fixe aussi à la valeur de la variable SVR\_20V.



Dans cette section, on commande les relais du Jig qui feront partie du circuit de mesure, et ce n'est qu'après que les relais soient fermés que le test commence.

```
wait 5ms;
close k8,k9;
wait 2ms;
close k23;
wait 2ms;
```

On définit par la suite les tensions inh et inl, qui ne sont qu'autre que les tensions qu'on force aux entrées de l'amplificateur :

```
let inh=svr_20V+0.05V;
let inl=svr_20V-0.05V;
```

On mesure à présent la tension aux bornes du pin 1 et 2, qui représentent les tensions de sortie des deux premiers amplificateurs. D'abord, on force la tension inh au pw13, autrement dit on attribue la valeur de la tension inh à l'entrée In1 (pin 4), puis on mesure la tension V1 au bornes du pin 1. Ensuite, c'est la tension inl qu'on attribue à l'entrée In1 pour mesurer la tension V2 aux bornes du pin2.

```
set pw 13, inh,imax 2ma,field 64,clamp 5ma;
wait 10ms;
measure dc,channel 1,gain 2,average 10,period 100us;
let v1=valu;
wait 5ms;

set pw 13, inl,imax 2ma,field 64,clamp 5ma;
set pw 15, inl,imax 2ma,field 64,clamp 5ma;
wait 10ms;
measure dc,channel 1,gain 2,average 10,period 100us;
```

Maintenant que les mesures nécessaires ont été effectuées, il ne reste plus qu'à calculer la valeur du gain :

```
let v5=(v2-v1)/0.1V;
if (v5<=0) let v5=1;
let gain_l=20*log(v5);
```

A présent la valeur du gain est calculée, il ne reste plus qu'à tester si cette valeur est comprise entre la limite inférieure et la limite supérieure définie par le programme test :

```
let test61=gain_l;
if (test61>gainh1 ! test61<gainl1) call 200;
#EAA01,FMA01;
if (test61>gainh1 ! test61<gainl1) classify (4) soft 7,test61, 'db GV OUTL @20V';
```

Le 'gainh1' et le 'gainl1' sont fixés dans une section de déclaration au début programme de test :

**DATA gainl1 / 24.55 /, gainh1 / 27.45 /; [dB]**

CALCUL DU GAIN « DB GV OUTL @20V »

On peut tirer du programme que ce paramètre est une mesure réalisée en deux étapes :

-Tout d'abord, on force une tension positive de 0.05 v sur les entrées (avec svr\_20 est une distorsion appliquée à l'entrée).

- Deuxièmement, on force une tension négative de -0.05v.

Ces tensions qu'on force à l'entrée donnent naissance aux tensions inh et inl définis comme suite :

$$inh = svr_{20} + 0.05$$

$$inl = svr_{20} - 0.05$$

Ce paramètre svr\_20 représente le rejet de la tension de l'alimentation, il est commun à inh et inl.

Faire une mesure de bonne précision revient donc à éliminer ou rejeter cette tension de manière à extraire la tension In (tension différentielle) tout en étant indépendant de svr\_20.

La tension svr\_20 s'écrit :

$$svr_{20} = \frac{inh + inl}{2}$$

On obtient ainsi :

$$inh = svr_{20} + \frac{in}{2}$$

$$inl = svr_{20} - \frac{in}{2}$$

Par identification, on trouve que la tension d'entrée  $in = 0.1 V$ .

Quant à la tension de sortie, elle correspond au potentiel :  $V2 - V1$

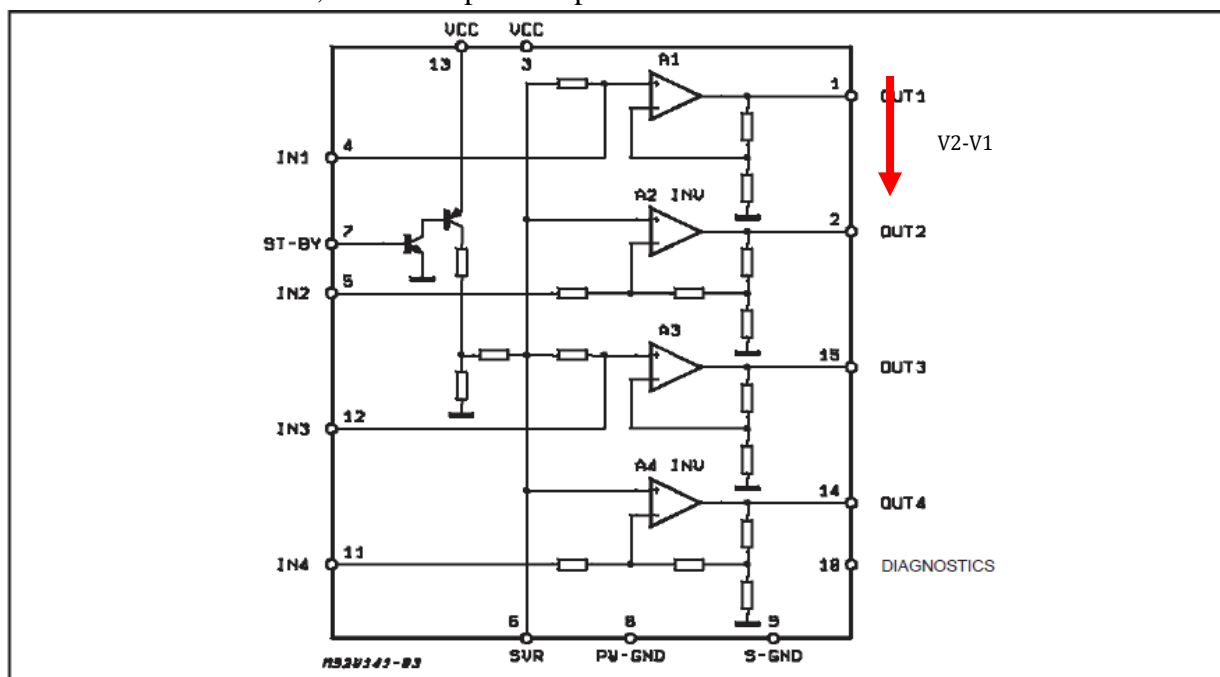


FIGURE 26: REPRESENTATION DES TENSIONS A LA SORTIE DU PREMIER ETAGE DE L'AMPLIFICATEUR

Le gain en tension est calculé de la manière suivante :

$$\text{Gain en tension} = 20 * \log \left( \frac{\text{tension de sortie}}{\text{tension d'entrée}} \right)$$

D'où :

$$Gv = 20 * \log \left( \frac{V2 - V1}{0.1} \right)$$

Avec  $v1$ : tension de sortie du premier amplificateur

Avec  $v2$ : tension de sortie du deuxième amplificateur

### b) Distribution du défaut « dB Gv OUTL @20V »

En se basant sur une analyse de quelques lots répartis sur plusieurs mois, on trouve que la distribution du paramètre « dB Gv OUTL @20V » se présente comme suit :

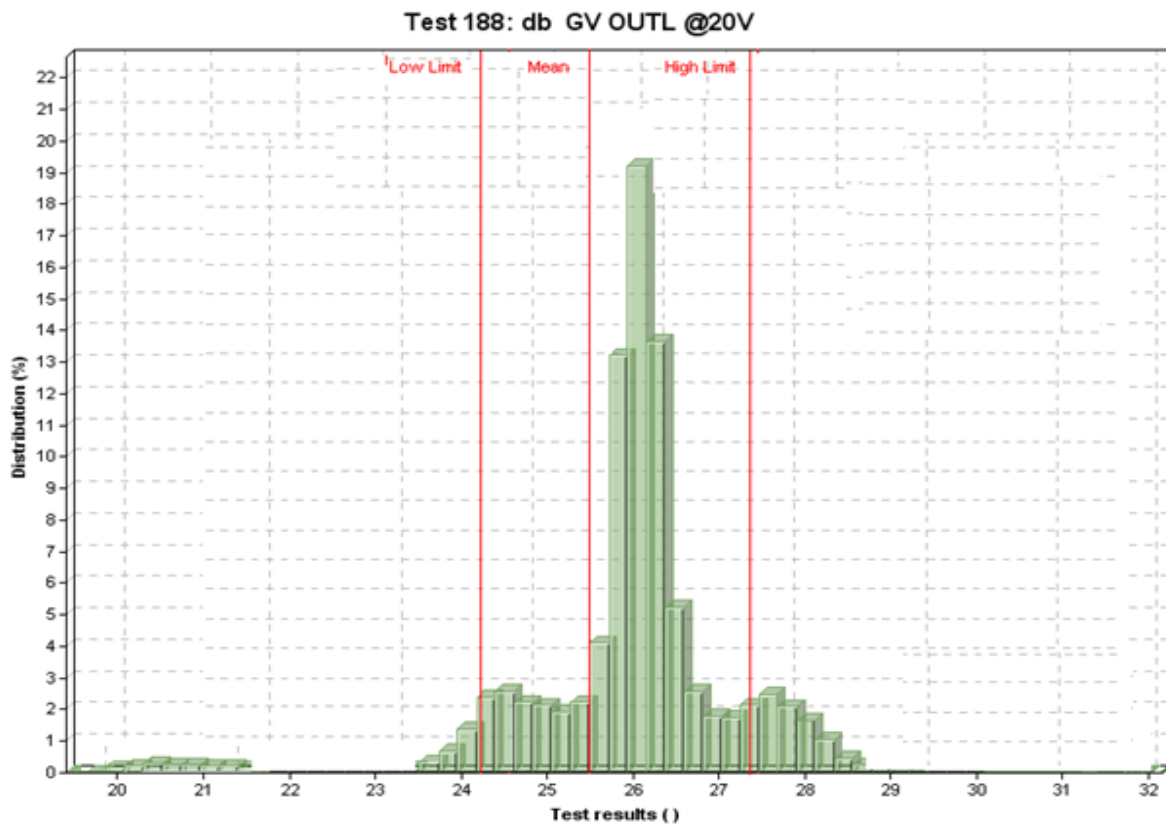


FIGURE 27: DISTRIBUTION DU PARAMETRE « DB GV OUTL @ 20V »

Nous remarquons que la distribution du paramètre présente deux types de populations, l'une s'étalant entre les limites définies et l'autre en dehors de celles-ci.

### 3. ANALYSE

#### a) Recherche des causes possibles du défaut « dB Gv OUTL @20V » de la race TDA7377

##### ANALYSE DE LA DISTRIBUTION DU DEFAUT « DB Gv OUTL @20V »

Revenons à présent à la distribution du paramètre « dB gv outl @ 20v ». Comme nous avons déjà cité, il y a des pièces dont la mesure du gain s'approche des limites ou les dépasse légèrement (figure 27), ces dernières présentent un défaut marginal.

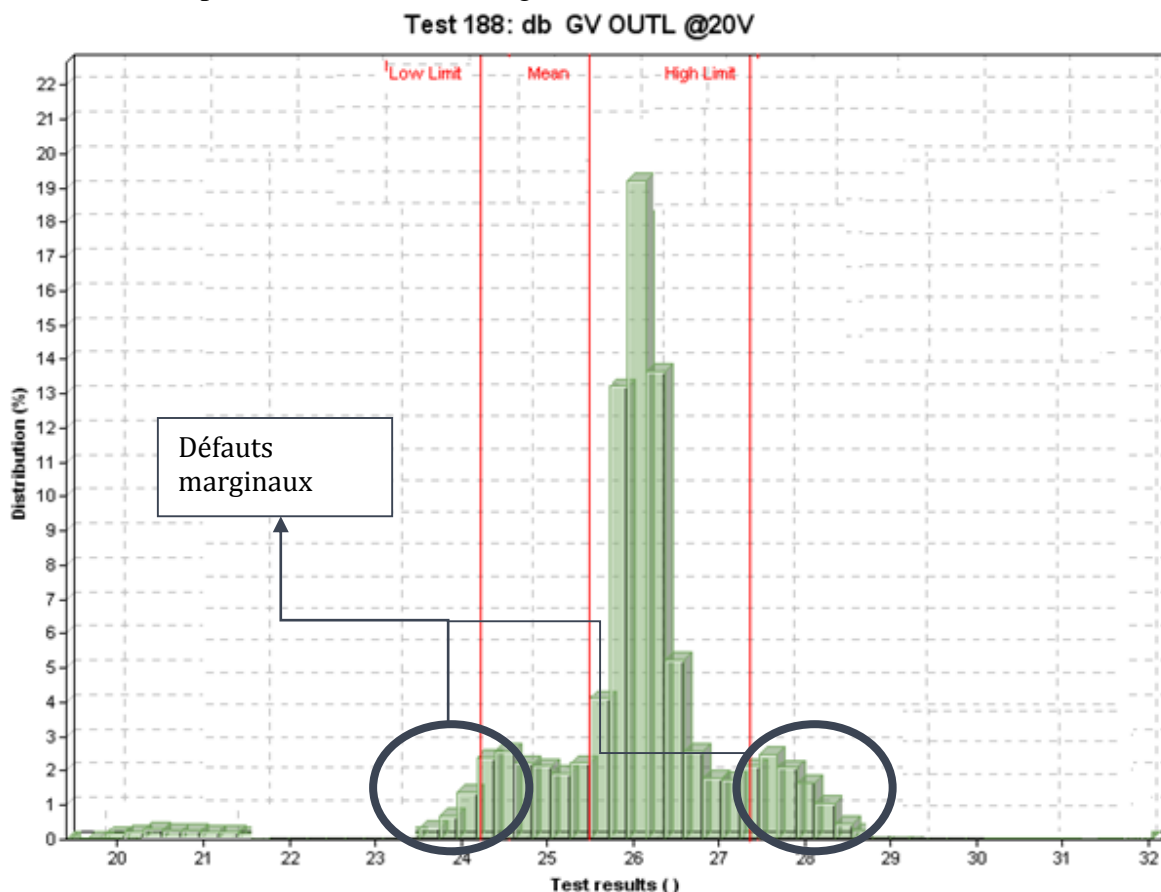


FIGURE 28: DISTRIBUTION DES DEFAUTS MARGINAUX

Ces défauts, dits marginaux, ne dépassent que de peu les limites définies du gain et qui sont fixées à 24.55 dB pour la limite inférieure et 27.55 pour la limite supérieure. Ceci indique qu'il y a une défaillance au niveau du test et plus exactement au niveau de la calibration du testeur. En effet la non calibration de celui-ci fausse les mesures et pousse le testeur à rejeter les pièces dont la valeur du gain est plus ou moins proche des limites. Un autre facteur qui pourrait être à l'origine de ce type de défauts est la conductivité et qui dépend de la population de porteurs dans le semi-conducteur et par la suite du dopage de celui-ci.

Nous pouvons voir aussi dans cette distribution une population de pièces qui s'étale en dehors des limites, ces pièces là représentent des défauts catastrophiques. Les causes de ceux-ci peuvent être classées en deux catégories :

- Problème au niveau de l'assemblage des pièces.
- Mauvais contact lors du test.

**BRAINSTORMING**

A la suite d'une réunion qui a regroupé quelques membres de la zone test et en relation avec les résultats trouvés dans la phase mesure, nous avons pu dégager quelques défaillances qui peuvent être à l'origine du défaut, le schéma ci-dessous représente les différentes idées proposées.



**FIGURE 29: RESULTATS DE LA SEANCE DE BRAINSTORMING**

**DIAGRAMME D'ISHIKAWA**

Nous avons classé ces différentes causes selon plusieurs critères, pour cela nous avons choisi de travailler avec la méthode d'ISHIKAWA.

Le tableau ci-dessous représente le classement des causes selon les 5M :

| Familles     | Sous familles possibles  |
|--------------|--|
| Machine      | Problème au niveau des connecteurs du testeur et du Jig.<br>Relais du Jig défaillants<br>Problème au niveau des unités de contact du Handler<br>Défaillance de l'une des cartes du testeur |
| Méthode      | Programme de test<br>Calibration du Jig et du testeur  |
| Main d'œuvre | Non-respect de:<br>Date calibration testeur<br>Date de changement des pins du Jig et des unités de contact.  |
| Milieu       | Débris de résine sur les unités de contact du Handler.   |
| Matière      | Défauts au niveau des Wafers<br>Mauvaise qualité de la résine  |

TABLEAU 7: TABLEAU DES 5M

A partir du tableau ci-dessus, nous générons le diagramme d'ISHIKAWA suivant :

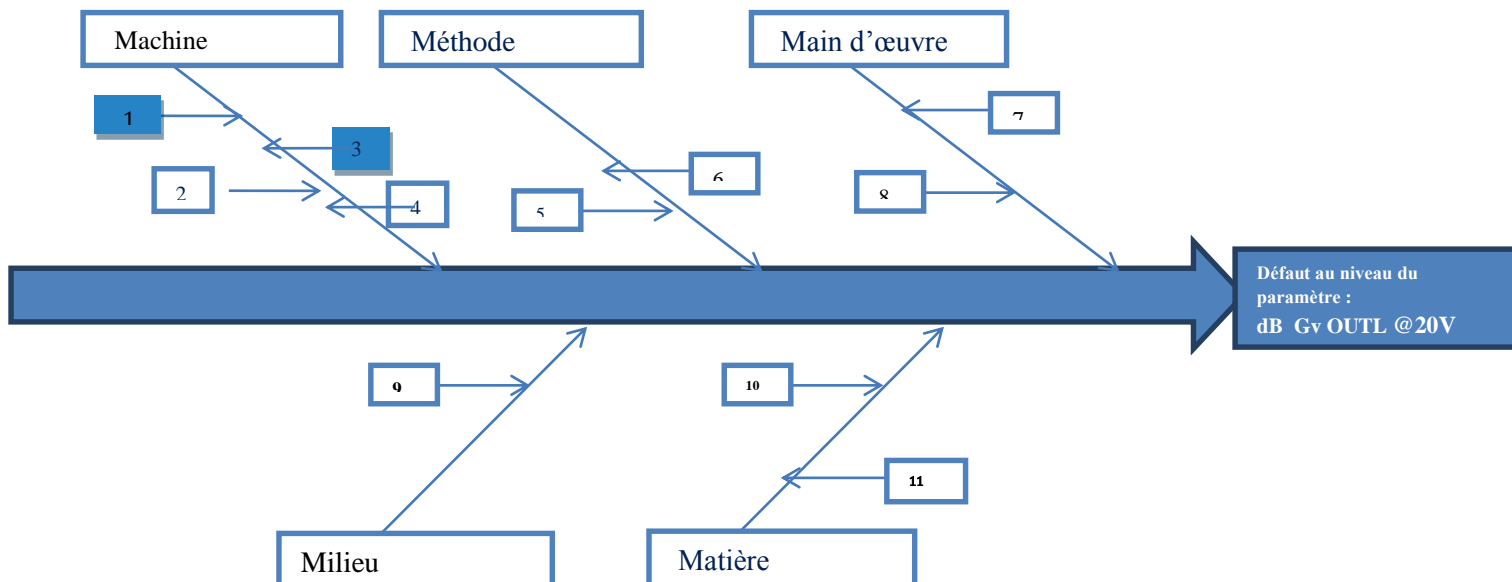


FIGURE 30: DIAGRAMME D'ISHIKAWA

## b) Identification du défaut « dB Gv OUTL @ 20V » :

Pour déterminer les causes de la défaillance du gain en tension  $G_v$ , nous allons visualiser les résultats de test en temps réel à l'aide de l'oscilloscope afin d'effectuer les mesures des tensions qui entrent en jeu lors du calcul du gain  $G_v$ .

Avant de commencer, nous avons pu élaborer le circuit de mesure du paramètre « dB Gv OUTL @ 20V » en se référant au schéma du Jig correspondant à la race L022.

### CIRCUITS DE MESURE :

Comme nous avons vu auparavant, chaque race possède son propre Jig qui contient les différents circuits d'application de celle-ci. En effet, chaque Jig est composé d'un grand nombre de relais qui sont commandés par le programme test afin de sélectionner le circuit qui correspond à chaque mesure.

Après avoir analysé le programme test, nous avons pu expliciter l'état de chaque relais et ainsi nous avons pu éliminer les relais inactifs. Ci-dessous le circuit de mesure du gain  $G_v$  (figure 30 et 31).

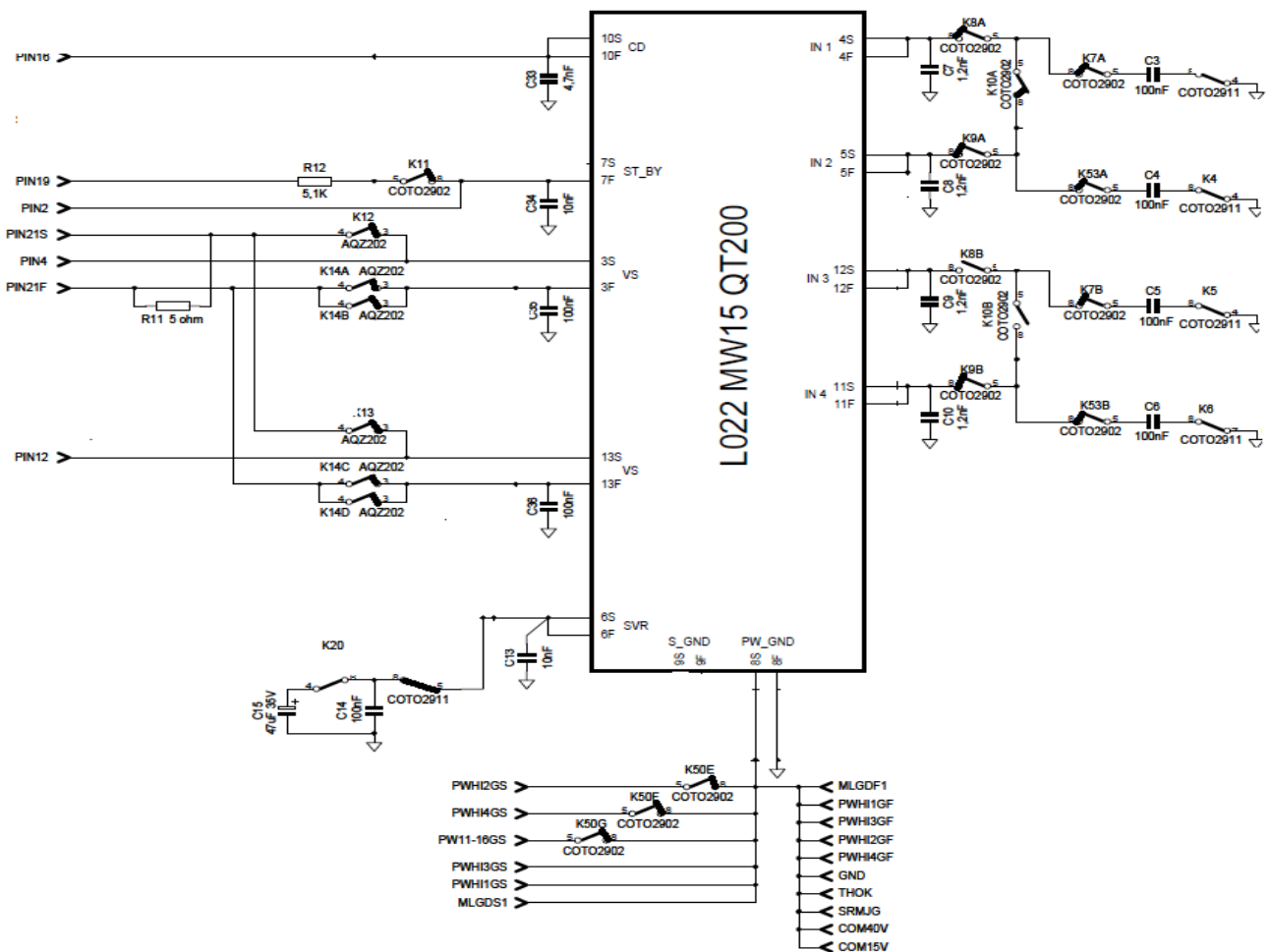


FIGURE 31: CIRCUIT DE MESURE DE « DB Gv OUTL @20V » A L'ENTREE

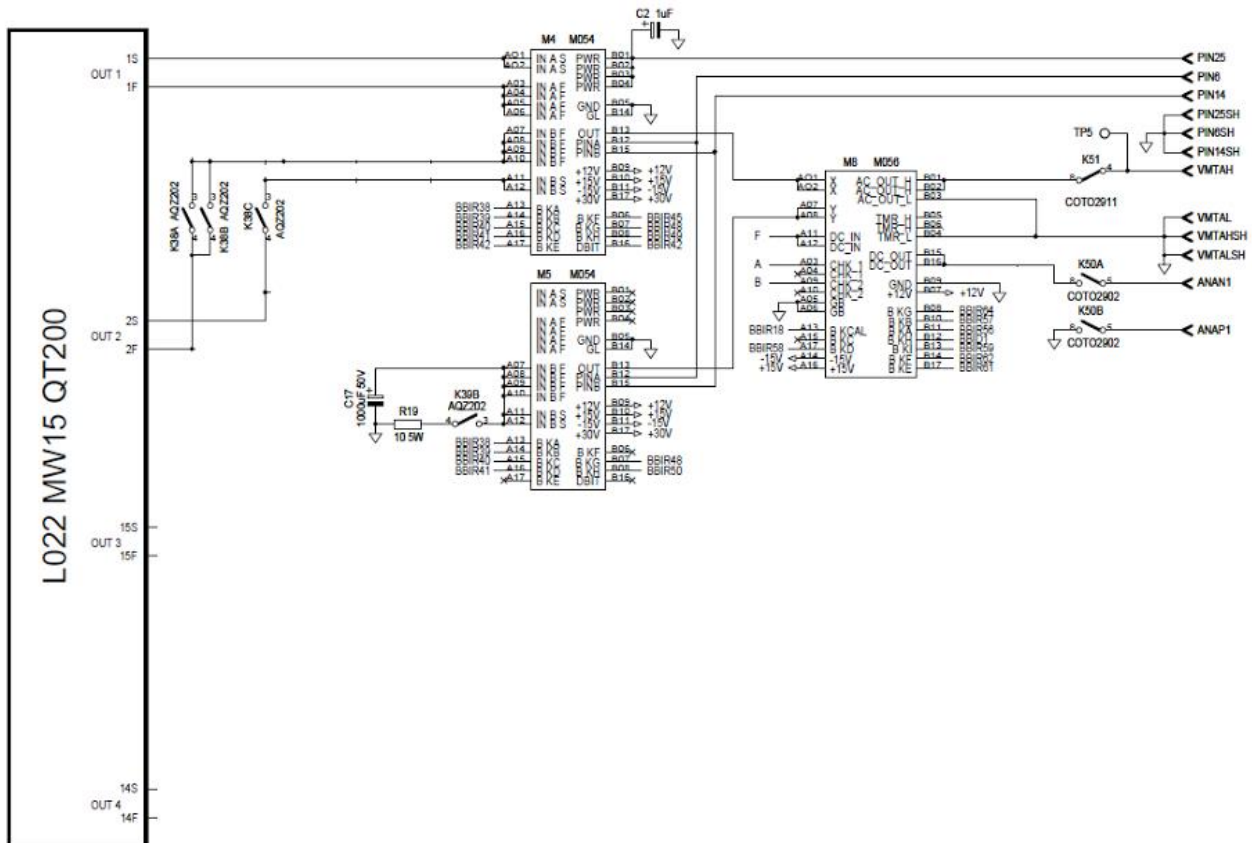


FIGURE 32: CIRCUIT DE MESURE DE « DB Gv OUTL @20V » A LA SORTIE

Ce circuit nous a permis de bien cerner les points de mesure que nous allons effectuer à l'aide de l'oscilloscope.

#### MESURE DES TENSIONS EN JEU :

La mesure du gain en tension met en jeu 2 tensions, une de sortie et une d'entrée.

Pour commencer, nous avons considéré une pièce bonne qui sera par la suite prise comme pièce de référence. Nous avons mesuré en premier la tension d'entrée, pour cela nous avons déclenché le test et appliqué un break point au début de la partie du test correspondante à la mesure du gain « dB Gv OUTL @20V » et nous avons placé les sondes du multimètre aux bornes du pin 4 qui correspond à l'entrée du premier amplificateur du premier étage et du pin 9 qui correspond à la masse. De la même façon, nous avons appliqué un deuxième break point et nous avons placé les sondes aux bornes du pin5 (entrée du deuxième amplificateur). Les mesures effectuées ont confirmé que la tension d'entrée de l'étage d'amplificateurs était égale à  $IN = inh - inl = 1.098828 - 0.998828 = 0.1 V$ .

Ensuite nous avons procédé à visualiser à l'aide d'un oscilloscope les tensions de sorties directement aux bornes du pin 1 (out1) et du pin 2(out2) (figure 32).

Nous avons obtenu les résultats suivants :



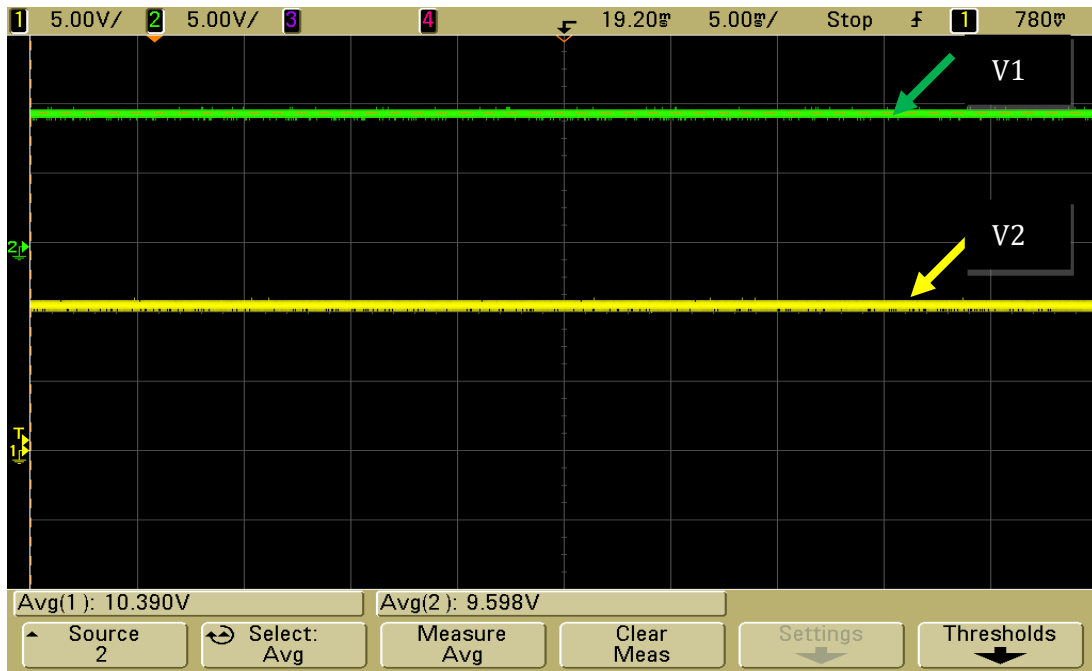


FIGURE 33: VISUALISATION DES SIGNAUX DE SORTIE DU PREMIER ETAGE D'AMPLIFICATEURS

La tension  $V2 = 10.390V$  et  $V1 = 9.598V$ , ces tensions passent par la suite par le module M054 qui contient un diviseur de tension, qui divise les tensions mesurées par 10, ce qui donne un gain égal à :

$$24.55 \text{ dB} \leq Gv = 20 * \log \left( \frac{1.0390 + 0.9598}{0.1} \right) = 26.015 \text{ dB} \leq 27.55 \text{ dB}$$

Les valeurs des tensions  $V1$  et  $V2$  seront considérées par la suite comme référence pour identifier d'éventuelles anomalies au niveau de la mesure de ces tensions.

On considère, à présent une pièce qui, lors des tests de production a révélé un défaut au niveau du paramètre « dB Gv OUTL @20V ». On mesure de la même façon les tensions à la sortie des deux premiers amplificateurs, c'est-à-dire aux bornes des pins 1 et 2.

Les résultats des mesures (figure 33) se présentent comme suit :

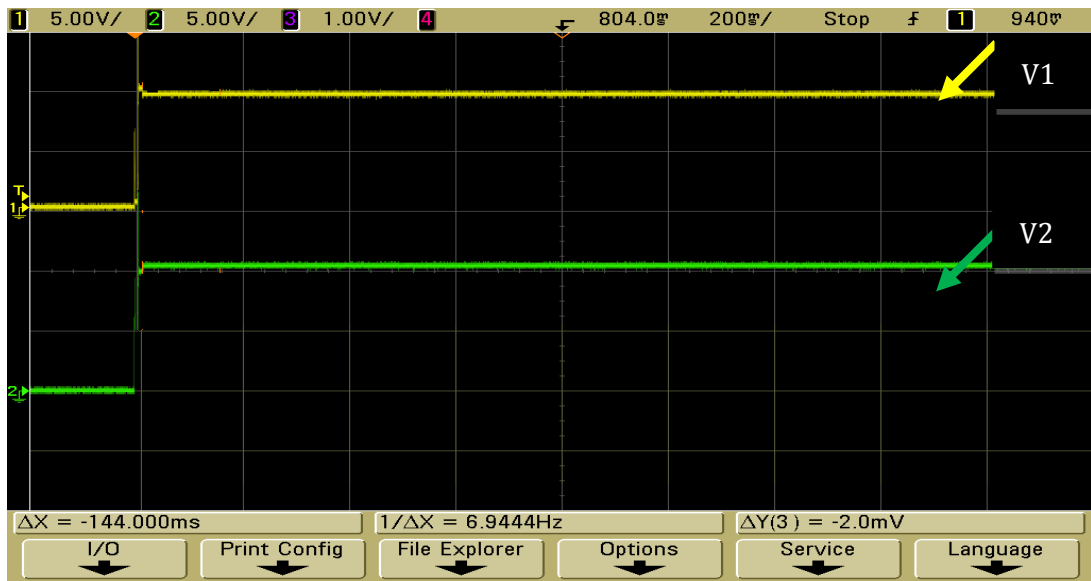


FIGURE 34: VISUALISATION DES SIGNAUX DE SORTIE DU PREMIER ETAGE D'AMPLIFICATEURS POUR UNE PIECE REJET.

La tension  $V1 = 9.8658 V$  et  $V2 = 10.2963V$ . Nous remarquons d'après ces mesures que les tensions  $V1$  et  $V2$  mesurées pour une pièce rejet sont quasiment égales aux tensions  $V1$  et  $V2$  mesurées pour une pièce bonne. En effet, ces tensions sont mesurées directement à la sortie du composant.

On effectue, une seconde fois les mêmes mesures, mais cette fois on mesure la tension 0 la fin de la mesure, on obtient les résultats suivant :

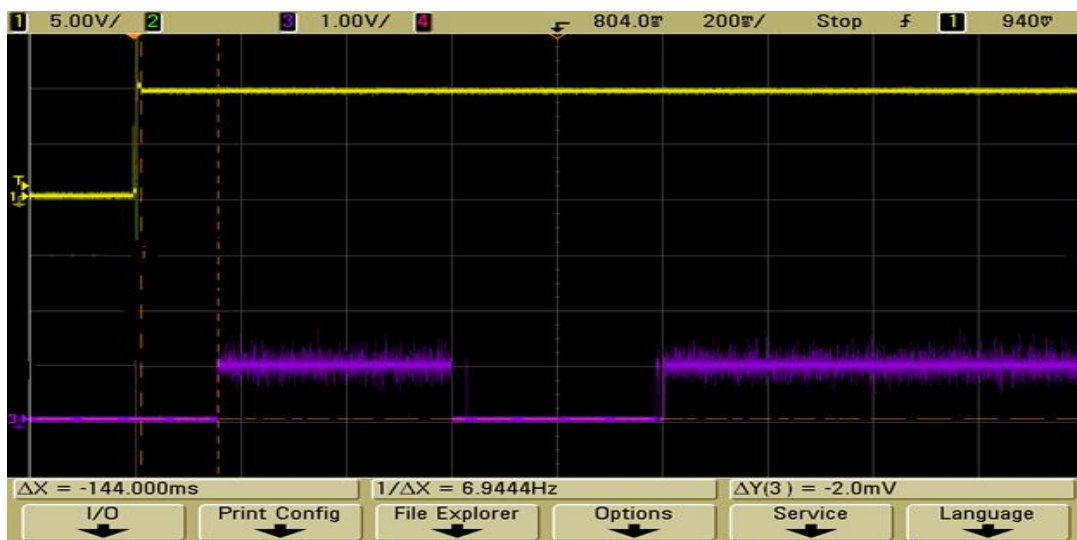


FIGURE 35: REPRESENTATION DE LA TENSION  $V1$  MESUREE PAR LE TESTEUR

La tension mesurée par le canal 3 de l'oscilloscope représente la tension de sortie du premier amplificateur ( $V1$ ) après la division de tension. Nous pouvons remarquer que cette tension ne se mesure pas correctement. Elle affiche au début une valeur  $V1 = 0.986V$  et qui représente une bonne valeur puis elle s'annule sans que la tension d'entrée ne change. Cela montre l'instabilité de la mesure,

et élimine partiellement l'hypothèse de défauts d'assemblage. Par la suite, nous allons élaborer un plan d'action qui permettra de vérifier chacune des hypothèses citées auparavant.

#### 4. IMPROVE

##### a) Elaboration d'un plan d'action

Maintenant que nous avons recherché les causes principales de ce défaut, nous allons procéder à l'élaboration d'un plan d'action.

Comme nous avons vu auparavant, le défaut peut provenir soit de l'assemblage, soit du front-end ou bien le problème résiderait dans la partie du test des composants. Nous allons donc procéder par élimination en vérifiant le bon fonctionnement de chacun de ces paramètres.

Le tableau suivant (tableau 8) résume les différentes actions nécessaires à la vérification.

|                                  |                     | <b>Action</b>   |
|----------------------------------|---------------------|---|
| <b>Equipements de test</b>       | <b>Handler</b>      | Vérifier l'état des unités de contact   |
|                                  | <b>QT200 tester</b> | Faire un bilan de tous les testeurs QT200                                     |
|                                  | <b>JIG</b>          | Vérifier l'état de tous les connecteurs des JIG correspondants à la race L022 |
|                                  |                     | Vérifier l'état des relais du JIG   |
| <b>Assemblage des composants</b> |                     | Analyse d'une pièce défailante au laboratoire.                                |

TABLEAU 8: PLAN D'ACTION RELATIF AU DEFAUT « DB Gv OUTL @20V »

##### b) Application du plan d'action

###### Actions relatives à l'assemblage :

Pour vérifier s'il y a un problème au niveau de l'assemblage des pièces, un échantillon de 5 pièces représentant un défaut de « dB Gv OUTL @20V » a été envoyé pour être analysé au laboratoire.

Les analyses réalisées au niveau du laboratoire ont pour fonction de détecter s'il y a un problème au niveau de l'une des étapes d'assemblage. Ces analyses sont effectuées suivant plusieurs étapes :

- Une inspection visuelle pour détecter les boîtiers cassés, les défauts de marquage...
- Inspection des pins et des défauts de résine
- Analyse X-RAY pour la détection des vides.
- Inspection des liaisons à l'aide d'un microscope
- Inspection de la puce après décapage de la pièce

Les résultats de ces analyses se présentent comme suit : (tableau 9)



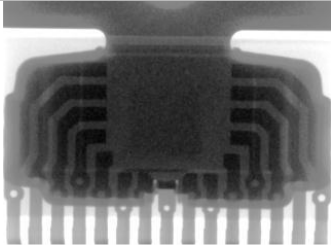
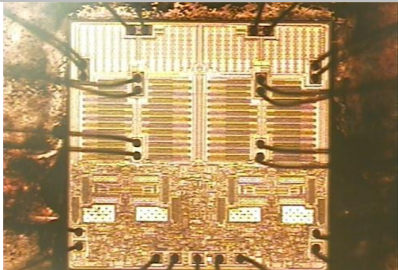
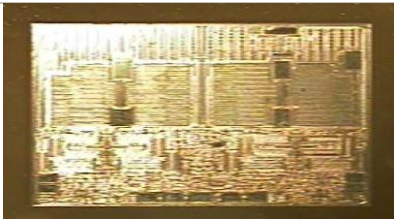
| Etape  | Résultat  | Conclusion                                      |
|--|---|---|
| Inspection visuelle                          |    | Aucune anomalie observée pour toutes les pièces |
| Inspection des pins et des défauts de résine |   | Pas de délamination sur toutes les pièces       |
| Analyse X-RAY                                |   | Pas de défaut de vides                          |
| Inspection des liaisons                      |  | Aucune anomalie                                 |
| Inspection de la puce                        |  | Aucune anomalie                                 |

TABLEAU 9: RESULTATS DE L'ANALYSE AU LABORATOIRE D'UN ECHANTILLON DE PIECES REJETEES

Les résultats de l'analyse, comme le montre le tableau, montrent qu'il n'y a aucune anomalie au niveau des étapes d'assemblage. Et en adéquation avec les analyses déjà effectuées à l'aide de l'oscilloscope, on en conclut que l'origine de la défaillance de la mesure du gain « dB Gv OUTL @20V » ne peut provenir que des équipements de tests. Pour cela, nous allons par la suite vérifier le bon fonctionnement de chaque équipement de test.

**Actions relatives aux équipements de test :****VERIFICATION DE L'ETAT DU JIG**

Le bon fonctionnement du Jig, et qui relie entre le testeur et le Handler, est conditionné avec le bon fonctionnement des relais qui le constituent. En effet, la défaillance d'un relais peut entraîner une inexactitude de mesure des paramètres et ainsi rejeter une pièce qui, en vérité est une pièce bonne. Pour cela, nous avons vérifié l'état des relais du Jig qui rentrent dans le circuit de mesure du paramètre « dB Gv OUTL @20V ».

**Relais utilisés dans la mesure du paramètre « dB Gv OUTL @20V » :**

| Relais                              | Type                            |
|-------------------------------------|---------------------------------|
| K3, k4, k5, k6, k7, k8,k9, k11, k53 | COTO RELAY TYPE 2902 12 220     |
| k12 , k14, k13, k38, k39            | NAIS POW. PHOTOMOS RELAY AQZ202 |
| K20, k50, k51                       | COTO RELAY TYPE 2911 12 220     |

TABLEAU 10: LISTE DES RELAIS UTILISES POUR LA MESURE DU PARAMETRE "DB GV OUTL @20V"

Après la vérification, à l'aide d'un multimètre, de l'état des différents relais qui entrent dans le test (tableau 10), nous n'avons constaté aucune défaillance.

Un autre paramètre qui peut jouer en défaveur du bon fonctionnement du Jig est l'état des connecteurs et qui assurent la communication entre le testeur et le Jig. En cas de défaillance de l'un des pins qui les composent, la communication entre les équipements est mal assurée et peut engendrer un dysfonctionnement du test. Nous avons donc procédé à la vérification de l'état de ces connecteurs pour tous les Jigs de la race L022. Les images ci-dessous montrent l'état de ceux-ci :

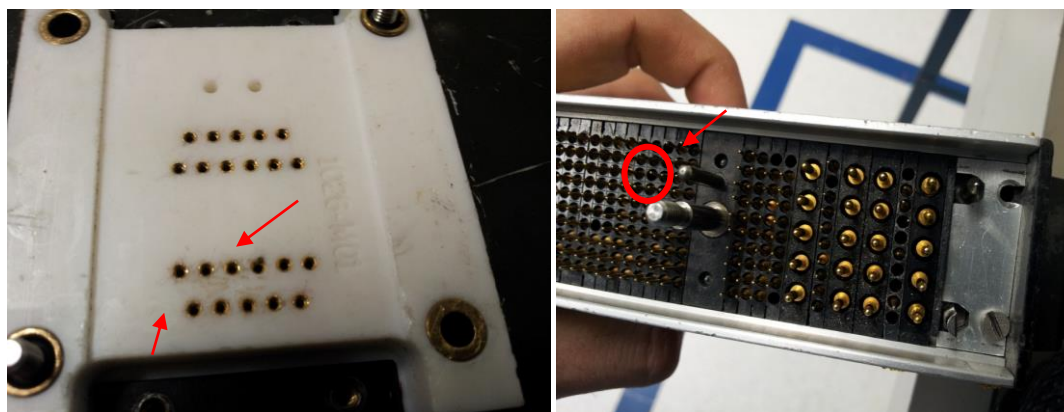


FIGURE 36: ETAT DES CONNECTEURS DES JIGS POUR LA RACE L022

Comme nous pouvons constater, les images montrent qu'effectivement il y a des pins qui représentent des anomalies qui peuvent causer l'instabilité de la communication.

**VERIFICATION DE L'ETAT DU TESTEUR**

Le testeur, comme nous avons vu auparavant, se compose de plusieurs cartes accomplissant différentes fonctions, un dysfonctionnement de l'une d'elles est considéré comme cause majeure de la défaillance du test. Afin de vérifier le bon fonctionnement de ces cartes, un checker est utilisé. Nous avons appliqué ceci au testeur QT258, et nous avons obtenu les résultats suivants.

| Boards Description               | Check Test      | Statut Before | Statut Act | Comments                                  |
|----------------------------------|-----------------|---------------|------------|---|
| Tester Status (Fans.)            |                 | KO            | KO         | Fan PNL Down                              |
| Tester Status (Fixation,Cables.) |                 | KO            | KO         | Cables,Boards & Powers Fixation to review |
| Tester Status (Labels.)          |                 | KO            | KO         | No Labels on the Boards and Powers        |
| Connectors and Pins              |                 | KO            | KO         | Pins Burned Connectors damaged            |
| MPX                              | <b>MBITA-F</b>  | KO            | KO         | MBITD Failed                              |
| PW11                             | <b>MPW11</b>    | KO            | KO         | Checker Fail                              |
| PW12                             | <b>MPW12</b>    | KO            | KO         | Checker Fail                              |
| CS282C/1                         | <b>MPW13IF</b>  | KO            | KO         | Checker Fail                              |
|                                  | <b>MPW13VF</b>  | KO            | KO         | Checker Fail                              |
|                                  | <b>MPW14IF</b>  | MARGINAL      | MARGINAL   |   |
|                                  | <b>MPW14VF</b>  | MARGINAL      | MARGINAL   |   |
| AL260-B2/1                       | <b>MTX40A</b>   | KO            | KO         | Checker Fail                              |
|                                  | <b>MAL260A</b>  | KO            | KO         | Checker Fail                              |
|                                  | <b>MAL260B</b>  | KO            | KO         | Checker Fail                              |
| AL260-B2/2                       | <b>MAL260C</b>  | KO            | KO         | Checker Fail                              |
|                                  | <b>MAL260D</b>  | KO            | KO         | Checker Fail                              |
|                                  | <b>MPINS40A</b> | KO            | KO         | Checker Fail                              |
| Actual Status                    |                 | 62% OK        |            |   |

TABLEAU 11: RESULTAT DU HEALTH CHECK DU TESTEUR QT258

Les résultats du checker montrent qu'il y a bien des problèmes au niveau du testeur, notamment les câbles de fixation, les pins des connecteurs et les alimentations.

**VERIFICATION DE L'ETAT DU HANDLER**

Le Handler joue un rôle important dans la partie des tests des composants. En effet, c'est lui qui fixe le composant et le prépare à être testé, ou autrement dit, c'est lui qui assure les conditions de test. De ce fait, un dysfonctionnement de celui-ci engendrerait de vrais problèmes durant le test.

Afin de vérifier le bon fonctionnement Du Handler, nous avons commencé par vérifier si les conditions de test sont convenables pour la race L022, notamment la température.

Il existe différents modes de test en fonction de la température, les composants sont testés soit à température ambiante (25°C), soit à chaud, soit à froid. Dans notre cas, les composants de la race L022 sont testés sous une température élevée fixée à 110°C. Nous nous sommes munies d'un thermomètre pour vérifier si le Handler assure vraiment cette température durant la période de test. Nous plaçons la sonde du thermomètre à l'intérieur du magasin du Handler, celui-ci affiche exactement la valeur de température exigée (figure 36).

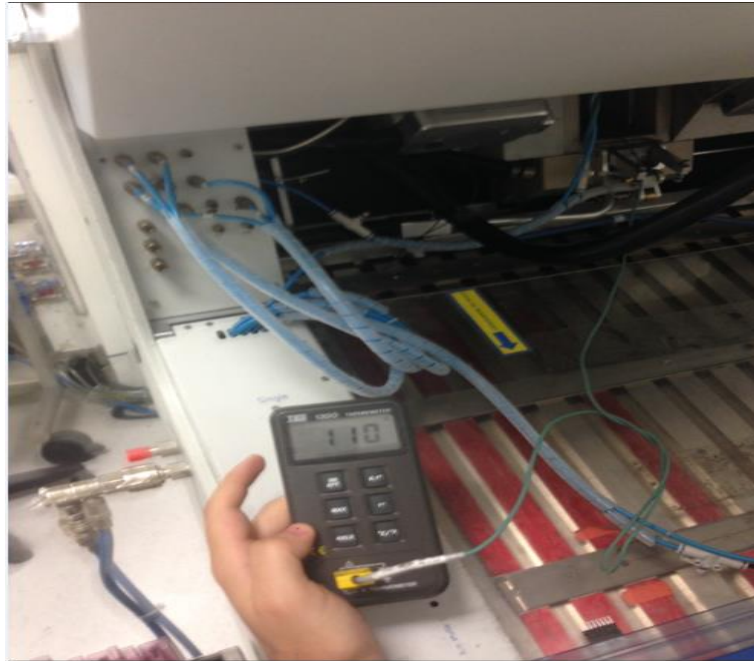


FIGURE 37: MESURE DE LA TEMPERATURE

Maintenant que nous nous sommes assuré que les conditions de test étaient respectées, nous allons vérifier si la communication entre le Jig et le Handler est bien assurée. En effet la communication se fait à travers des unités de contact fixées à l'arrière du Handler. Ces unités de contact assurent la stabilité du Jig pendant le test. L'image ci-dessous (figure 37) montre l'état des unités de contact pour la machine MT13.



FIGURE 38: ETAT DES UNITES DE CONTACT DE LA MT13

L'image montre qu'il y a absence de fixateurs de jigs ce qui entraine une vibration et par la suite une instabilité de la pièce.

A partir des différentes actions citées dans la partie précédente, nous sommes à présent capables de proposer les solutions (tableau 12) qui mettront fin à ce défaut.

| Solutions                         |  |   |
|-----------------------------------|--|---|
| Equipements                       | Jig  | Changement des connecteurs pour tous les Jigs de la race L022.                    |
|                                   | Handler  | Changement des unités de contact de toutes les machines démarrant la race L022.   |
|                                   |  | Installation de fixations supplémentaires (Dowl pins) entre le Handler et le Jig. |
|                                   | Testeur  | Réparation des alimentations  |
| Changement des câbles de fixation |  |   |
| Main d'œuvre                      | L'ajout d'un technicien spécialisé en maintenance des testeurs (calibration) |   |
|                                   | L'ajout d'un technicien spécialisé en maintenance des Jigs .                 |   |

TABLEAU 12: SOLUTIONS PROPOSÉES

## 5. CONTROL

### a) Evolution du rendement après l'implantation des solutions :

On a recueilli le rendement de la race L022 correspondant aux mois de Février jusqu'au mois de mai. Ci-dessous une figure (figure 38) qui représente l'évolution du rendement durant ces mois et plus exactement après l'implantation des solutions.

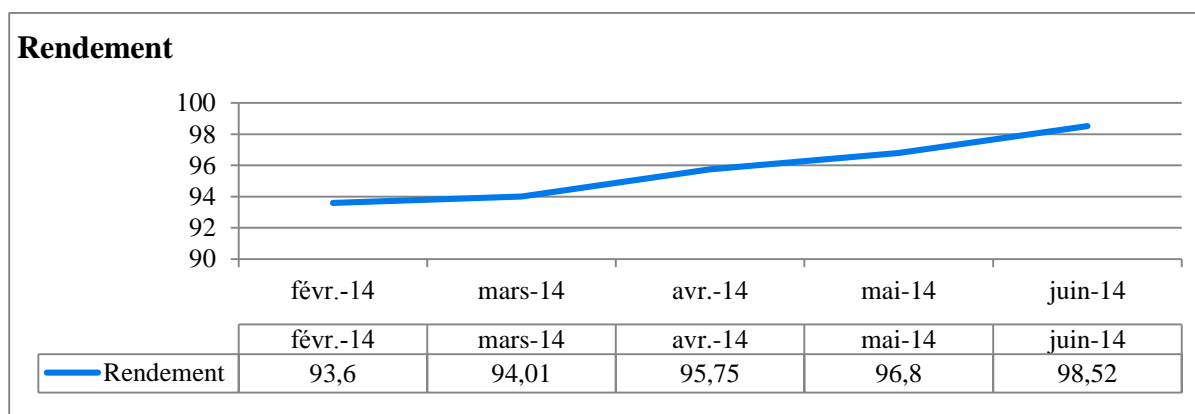


FIGURE 39: EVOLUTION DU RENDEMENT DE LA RACE L022



**b) Etude financière**

On remarque qu'après l'implantation des solutions, il y a eu une amélioration du rendement, en effet nous avons gagné 4.92% en rendement pour la race L022.

En moyenne cette ligne produit 600 000 pièces de la race L022 par mois, ce qui constitue un gain de 29700 pièces par mois, soit 356 400 pièces par an.

Le coût d'une pièce de la race L022 est de 0.13\$, ce qui nous fait un gain de :

$$356\,400 * 0.13 = 46\,332\$ /an.$$

Ce gain ne sera ressenti qu'après amortissement des frais encourus après implantation des solutions, le tableau ci-dessous représente les différents investissements à prévoir (tableau 13).

| Investissement |  | Coût unitaire      | Nombre      | Coût total |      |
|----------------|--|--------------------|-------------|------------|------|
| Equipements    | Jig  | Connecteurs        | 110         | 6          | 660  |
|                | Handler  | Unités de contact  | 100         | 6          | 600  |
|                |  | Dowl pins          | 59          | 6          | 354  |
|                | Testeur  | Câbles de fixation | 105         | 4          | 420  |
| Main d'œuvre   | Un technicien spécialisé en maintenance des testeurs (calibration) |                    | 500\$/ mois | 1          | 6000 |
|                | Un technicien spécialisé en maintenance des Jigs .                 |                    | 500\$/ mois | 1          | 6000 |
| Coût global    |  |                    |             | 14034      |      |

**TABLEAU 13 : TABLEAU DES INVESTISSEMENTS**

Le coût total s'élève à 14034\$, sachant que nous avons réalisé un gain de 46 332\$/an, il nous faudra une *durée* =  $\frac{14034 * 12}{46332} = 3 \text{ mois et } 20 \text{ jours}$  pour amortir le projet.

### III. L'AMPLIFICATEUR AUDIO STA540 :

#### A) DEFINE

##### a) La Méthode QQQQCP :

La race STA540 et qui représente aussi un amplificateur audio présente un taux de rejets important, ce qui la classe juste derrière la TDA7377 en ce qui concerne le taux de défaillance. Pour commencer, nous allons définir le problème à l'aide de la méthode QQQQCP (tableau 14).

|  |  |
|--|--|
| <b>Quoi ?</b><br>Quel est le problème ?                      | L'amplificateur audio STA540 présente un taux de rejets paramétriques élevé.                                     |
| <b>Qui ?</b><br>Qui est concerné par le problème ?           | Responsable de la zone engineering test Watt.  |
| <b>Où ?</b><br>Où apparait le problème ?                     | La ligne de production Watt « zone test ».   |
| <b>Quand ?</b><br>Depuis quand apparait le problème ?        | Depuis quelques quarts.  |
| <b>Comment ?</b><br>Comment apparait le problème ?           | -Bilan de rendements trimestriels.<br>-Pareto des rejets<br>-Quantité de rejets.<br>-Nombre de lots à problèmes. |
| <b>Pourquoi ?</b><br>Pourquoi faut-il résoudre le problème ? | Pour améliorer le rendement de cette race et par conséquent celui de toute la ligne.                             |

TABLEAU 14: MÉTHODE QQQQCP

##### b) Description de l'amplificateur audio STA 540 :

Le STA540 est un amplificateur audio de classe AB désigné pour les applications sonores de haute qualité. Ses caractéristiques sont les mêmes que celles du TDA7377 expliquées auparavant. La seule différence entre les deux est la puissance fournie. Pour le STA540 il fournit une puissance de 4 x 13 W.

##### c) Définition des défauts paramétriques les plus défaillants

Pour définir les défauts paramétriques les plus impactant, nous avons réalisé une analyse Pareto (figure 39) à partir des informations tirées des fichiers STDF. Nous considérerons des périodes s'étalant sur le mois janvier et février de l'année 2014.

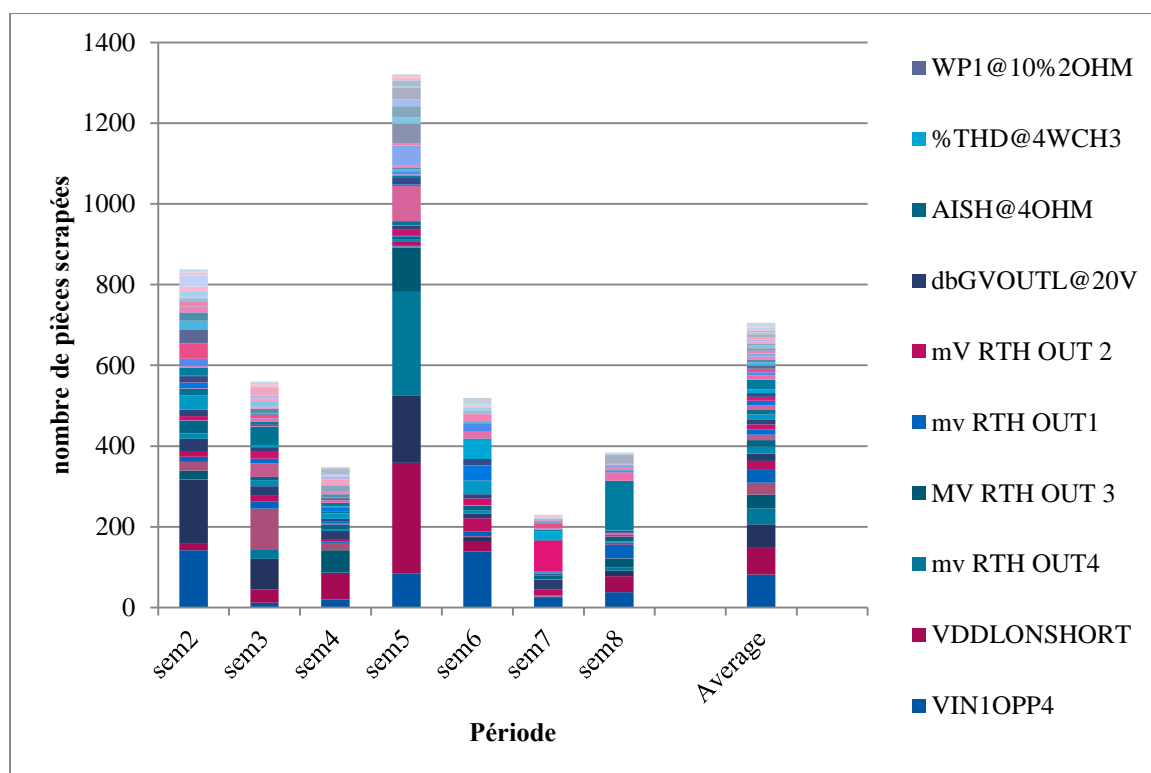


FIGURE 40: DISTRIBUTION DES DEFAUTS PARAMETRIQUES POUR LA RACE L690

On peut conclure que les défauts liés à la mesure de la résistance thermique représentent un taux de défaillance élevé, notre travail portera donc par la suite sur le paramètre « mV RTH OUTx ». La variable x correspond aux différentes sortie :  $x = 1, 2, 3, 4$ .

## B) MEASURE

### d) Introduction

Tout composant semi-conducteur admet une température maximale de fonctionnement, appelée température maximale de jonction, dépendant du type de matériau utilisé et de la technologie de réalisation. Ainsi, avec du silicium, cette température peut passer de  $80^{\circ}\text{C}$  pour certains composants de la microélectronique à  $250^{\circ}\text{C}$  pour un transistor MOSFET de puissance basse tension.

De ce fait, la conception et la réalisation des circuits dans lesquels des transistors sont appelés à dissiper une puissance importante requièrent des précautions particulières, afin que les composants fonctionnent effectivement dans les limites de température recommandées par les fabricants, ce qui constitue un critère essentiel de fiabilité. C'est pour cela que nous avons recours à mesurer la variation de la température du composant pour vérifier s'il y a un échauffement anormal de celui-ci qui pourrait l'endommager, ou autrement dit à calculer sa résistance thermique.

### e) Généralités sur la résistance thermique

Dès qu'un composant électronique est traversé par un courant électrique, il a tendance à produire de la chaleur (pertes par effet Joule)[8]. Cette chaleur n'est généralement pas perceptible avec des composants qui sont traversés par de faibles courants, mais elle est nettement perceptible avec des composants où circulent plusieurs ampères ; Un composant à semi-conducteur (diode, transistor,

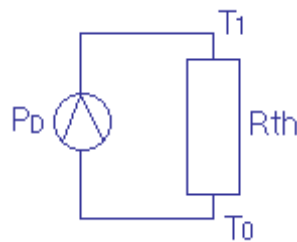
circuit intégré ...) peut être détruit si sa température interne ou température de jonction dépasse une certaine valeur.

Pour les semiconducteurs : le coeur (la puce) chauffe, mais cette chaleur ne se propage pas instantanément à la surface du composant (son boîtier). En fonctionnement, la puce (on parle de la jonction) est toujours à une température plus élevée que le boîtier.

Une résistance thermique s'exprime en degrés Celsius par watt ( $^{\circ}\text{C}/\text{W}$ )

Les watts dont il est question ici sont les watts à dissiper en chaleur (ceux que produit le composant par effet Joule).

- Le composant doit dissiper une puissance thermique **Pd**.
- L'air au voisinage du composant est à la température ambiante notée **Ta**.
- La partie active du semi-conducteur est à la température de jonction notée **Tj**.



$$PD = \frac{T_j - T_a}{R_{th}}$$

On peut remarquer l'analogie avec la loi d'Ohm :  $P_D$  serait l'intensité,  $(T_j - T_a)$  la tension et  $R_{th}$  la résistance.

L'analogie de la formule précédente avec la loi d'Ohm va plus loin, puisque des résistances thermiques en série s'additionnent. On peut donc additionner toutes les résistances thermiques (figure 44) qui sont sur le chemin de la chaleur entre la jonction du composant et l'air ambiant.

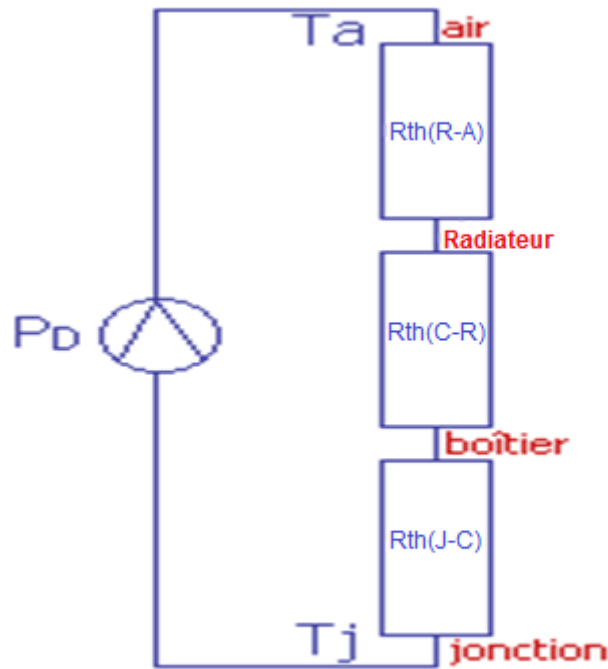


FIGURE 41: RESISTANCE THERMIQUE D'UN COMPOSANT SEMI-CONDUCTEUR

La résistance thermique de l'ensemble est la somme des résistances thermiques :

**Rth (J-C)** : résistance thermique jonction/boîtier (donnée par le constructeur du composant),

**Rth(C-R)** : résistance thermique boîtier/radiateur (dépend des conditions de montage),

**Rth(R-A)** : résistance thermique radiateur/air (fournie par le constructeur du radiateur).

**Rth = Rth (J-C) + Rth(C-R) + Rth(R-A).**

### c) Méthodes de mesure de la résistance thermique

Les méthodes de mesure de la résistance thermique des composants semi-conducteurs de puissance sont basées sur l'utilisation d'un paramètre électrique thermosensible comme indicateur de la température de jonction[8]. Parmi ces méthodes on trouve l'utilisation de la chute de tension à courant constant dans une jonction (ou éventuellement un autre paramètre électrique thermosensible dont on connaît la loi de variation) comme thermomètre. Dans notre cas, on mesure l'évolution de la tension base-émetteur du transistor à courant constant. En effet, la tension base-émetteur d'un transistor bipolaire est une fonction de la température, avec un taux de variation d'environ  $-2\text{mV}/^\circ\text{C}$ .

Le défaut « mV RTH out x » survient lorsqu'il y a une défaillance lors de la mesure de la tension  $V_{be}$  sous l'influence de la température. En effet, lors du test on force un courant élevé pour chauffer le composant à tester et voir sa réaction à une température élevée.

#### d) Etude du défaut paramétrique «mV RTH OUTx »

##### PROGRAMME DE TEST:

Pour commencer, nous allons analyser la partie du programme de test correspondante à la mesure de la résistance thermique, celui-ci se présente comme suit :

Au début, on attribue aux alimentations utilisées pour cette mesure une valeur. Ici on attribue aux pw14 et au pw16 un courant de -50ma, ces deux power correspondent respectivement aux pin 5(in2) et pin 11(in4). Par la suite, en fonction de la valeur de « cnt » on commande les relais pour définir la sortie Vbe à mesurer. Par exemple si « cnt » prend la valeur 1 c'est la tension Vbe du premier amplificateur qu'on mesure et ainsi de suite.

```

$ RTH loop start
  set pw 14, -50ma,vmax 15V,field 64,clamp 20V;
  set pw 16, -50ma,vmax 15V,field 64,clamp 20V;
  if (cnt=1) then;
    close k28,k33;
  endif;
  if (cnt=2) then;
    open k28;
    close k29;
  endif;
  if (cnt=3) then;
    open k29,k33;
    close k30,k35;
  endif;
  if (cnt=4) then;
    open k30;
    close k31;
  endif;
  wait 5ms;

```

On mesure à présent la valeur initiale de la tension Vbe, puis on teste cette valeur pour vérifier qu'elle s'inscrit dans les limites définies dans la partie déclaration.

```

$ VBE START MEASURE
  set pw 0, 0uA,vmax 1V;
  measure dc, channel 0;
  FAA01,FAB01,FMA01,FMB01;
  let test147=valu;
  if (test147<r11 ! test147>rh1) call 200;
  if (cnt=1) then;
    if (test147<r11 ! test147>rh1) classify (4) 5,test147,    'mV RTH VBE OUT1';
  endif;
  if (cnt=2) then;
    if (test147<r11 ! test147>rh1) classify (4) 5,test147,    'mV RTH VBE OUT2';
  endif;
  if (cnt=3) then;
    if (test147<r11 ! test147>rh1) classify (4) 5,test147,    'mV RTH VBE OUT3';
  endif;
  if (cnt=4) then;
    if (test147<r11 ! test147>rh1) classify (4) 5,test147,    'mV RTH VBE OUT4';
  endif;

```

Dans cette partie, on force un courant très élevé à l'entrée afin de chauffer la pièce d'avantage.

```

$ HEATING TIME
  if (cnt=1 ! cnt=2) then;
    measure pw 19, average 25, period 500uS;
  else;
    measure pw 20, average 25, period 500uS;
  endif;

```

A présent, on mesure la tension  $V_{be}$  une deuxième fois.

```
set pw 0, 0uA, vmax 1v;
wait 1.7ms;
measure dc, channel 0;
```

La tension à mesurer « mV RTH OUTx » est calculée comme étant la différence entre  $V_{be}$  avant et après le « heating time ». Dans cette dernière partie on calcule la tension et on teste si sa valeur est bien comprise entre les limites déjà définies.

```
let test150=valu-test147;
if (test150<rl4 ! test150>rh4) call 200;
if (cnt=1) then;
    if (test150<rl4 ! test150>rh4) classify 4,test150, 'mV RTH OUT1';
endif;
if (cnt=2) then;
    if (test150<rl4 ! test150>rh4) classify 4,test150, 'mV RTH OUT2';
endif;
if (cnt=3) then;
    if (test150<rl4 ! test150>rh4) classify 4,test150, 'mV RTH OUT3';
endif;
if (cnt=4) then;
    if (test150<rl4 ! test150>rh4) classify 4,test150, 'mV RTH OUT4';
endif;
```

La mesure de la tension « mV RTH OUTx » est conçue pour vérifier le bon fonctionnement du « die attach ». S'il y a un problème au niveau de cette étape de fabrication, il y a un échauffement anormal qui peut être détecté. Cette mesure est effectuée de la manière suivante :

Un courant constant de faible valeur est injecté dans la jonction base émetteur du transistor. On relève la valeur  $V_{be}$  START de la tension base-émetteur.

Le transistor est ensuite commandé de manière à débiter un courant collecteur constant sous une tension collecteur-émetteur constante, Le courant constant de mesure est alors injecté dans la jonction base-émetteur et on relève la nouvelle valeur  $V_{be}$  END de la tension base-émetteur.

$$mv\ RTH\ OUTx = V_{be}\ START - V_{be}\ END$$



**e) Distribution du défaut « mV RTH OUTx »**

En se basant sur une analyse de quelques lots répartis sur plusieurs mois, et en tenant compte, par exemple de la mesure de ce paramètre aux bornes du pin 15 (OUT4), on trouve que la distribution de celui-ci se présente comme suit :

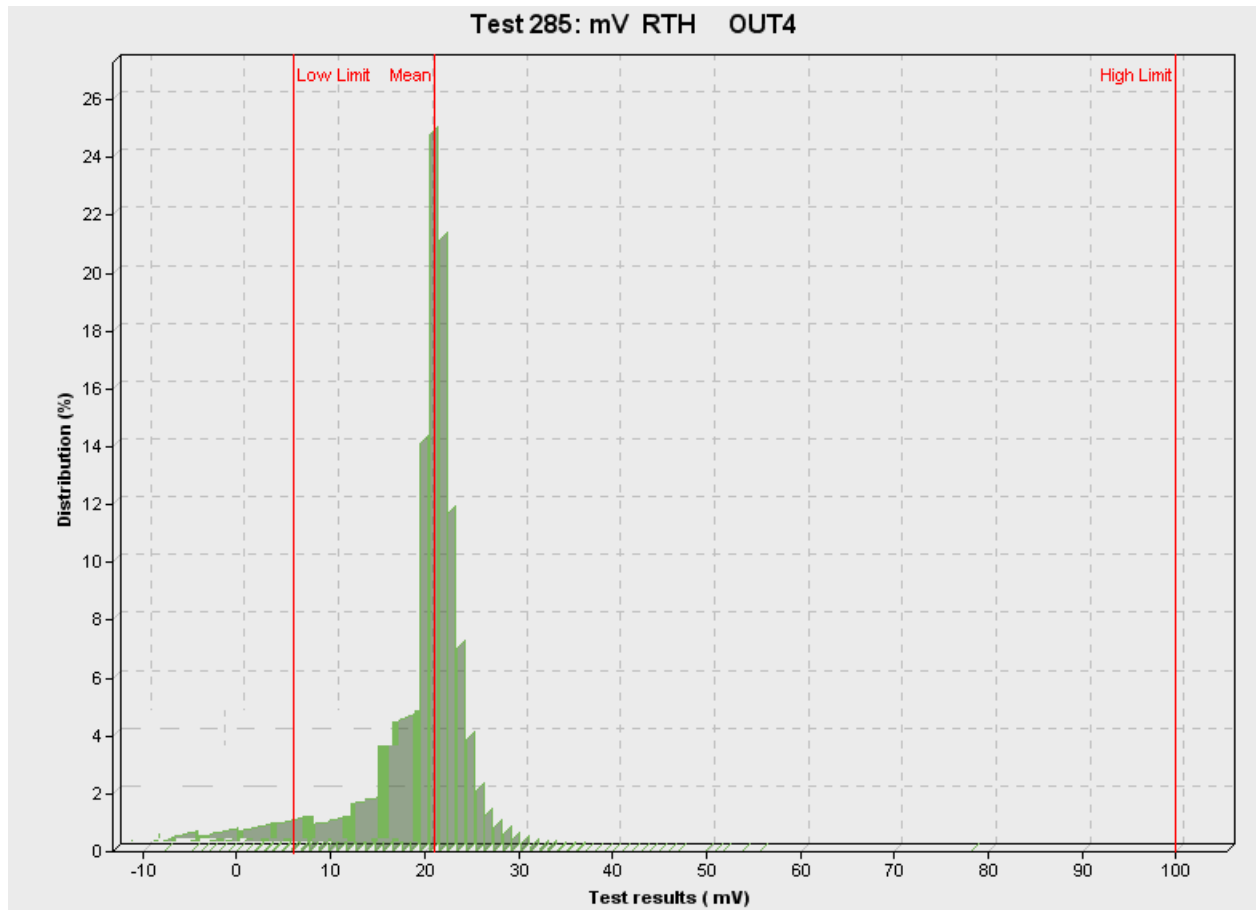


FIGURE 42: DISTRIBUTION DU PARAMETRE « mV RTH OUT4 »

## C) ANALYSE

## a) Recherche des causes possibles du défaut « mV RTH OUTx » de la race STA540

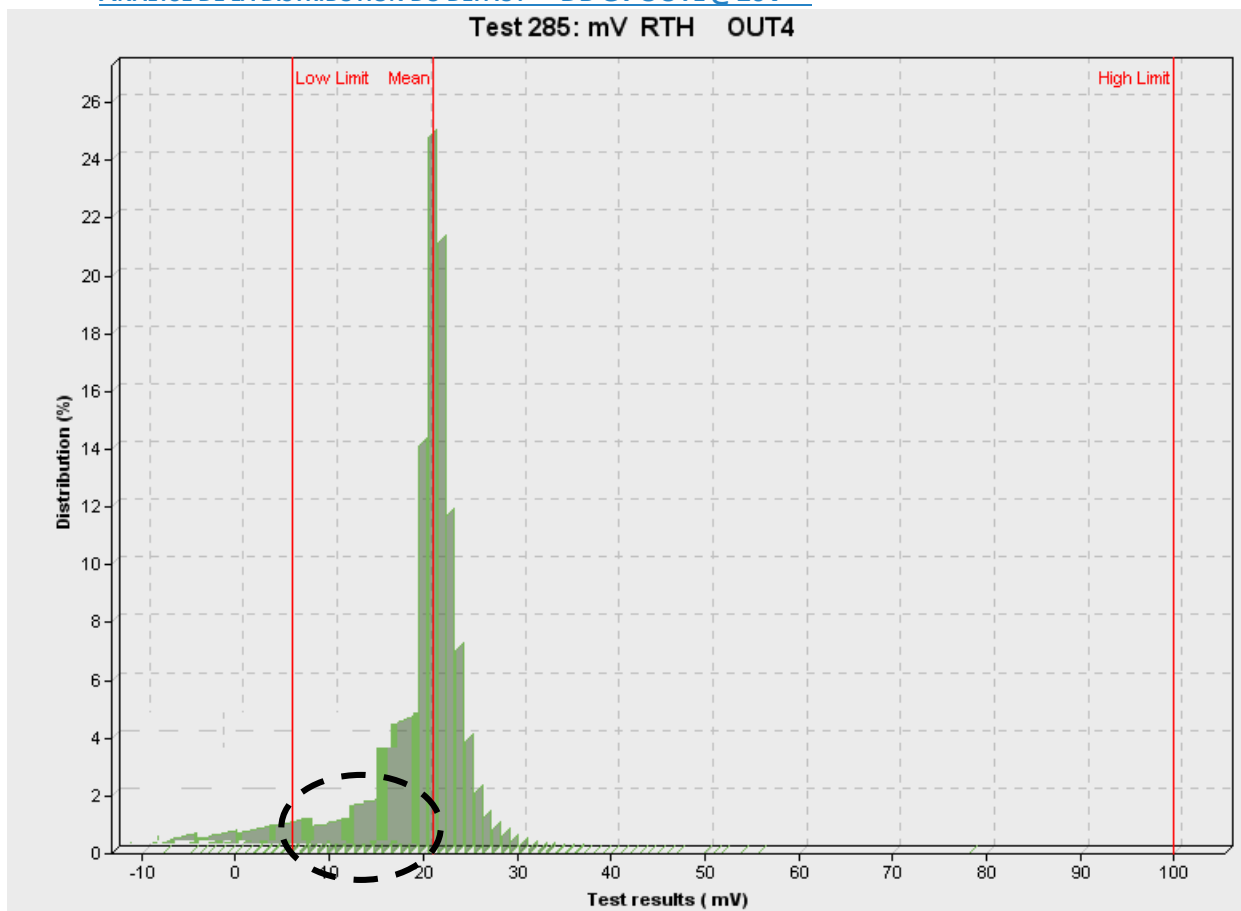
ANALYSE DE LA DISTRIBUTION DU DEFAUT « DB GV OUTL @20V »

FIGURE 43: ANALYSE DE LA DISTRIBUTION DU DEFAUT « MV RTH OUTX »

A travers la distribution du paramètre « mV RTH OUTx », nous pouvons remarquer la présence de pièces dont la valeur de la tension « mV RTH out4 » dépasse la limite inférieure (figure 46) et qui est fixée à **5 mV**. Nous pouvons remarquer aussi que la distribution est décalée à gauche. Ce genre de distributions peut être expliqué par la présence d'un défaut commun à toutes les pièces et qui a un impact qui varie selon l'ampleur de celui-ci. En outre, le fait que la distribution soit décalée vers la gauche, ou autrement dit plus proche de la limite inférieure, montre qu'il y a une mauvaise dissipation de la chaleur.

Comme nous avons déjà vu, la tension « mV RTH OUTx » est la différence entre la tension base-émetteur avant l'application d'un courant élevé au collecteur et cette même tension après l'application de ce courant. La tension  $V_{be}$  est inversement proportionnelle au courant et par la suite à la température. Ce décalage vers la gauche voudrait donc dire que la tension  $V_{be}$  END est proche de  $V_{be}$  START et par la suite que la chaleur est mal répartie. Toutes ces conclusions nous dirigent vers un défaut au niveau de l'assemblage, notamment un défaut de die attach.

**BRAINSTORMING**

Comme pour l'étude du défaut précédent nous avons organisé une réunion à la suite de laquelle nous avons pu dégager quelques défaillances qui peuvent être à l'origine du défaut, le schéma ci-dessous représente les différentes idées proposées.



FIGURE 44: RESULTATS DE LA SEANCE DE BRAINSTORMING

**DIAGRAMME D'ISHIKAWA**

Nous avons classé les causes trouvées selon les 5M (tableau 15) :

| Familles     | Sous-familles possible  |
|--------------|---|
| Machine      | Dysfonctionnement de la machine de Die attach.<br>Température de fusion de la préforme  |
| Méthode      | Mauvaise dissipation de la chaleur<br>Vides dans la préforme.<br>Mauvaise disposition de la préforme.<br>Echauffement du composant. |
| Main d'œuvre | Non-respect des Spécifications de l'étalage de la préforme.   |
| Milieu       | Impuretés au niveau du « pic and place »  |
| Matière      | Défauts au niveau des Wafers.<br>Mauvaise qualité du préforme.<br>Mauvaise qualité des frames.                                      |

TABEAU 15 : TABEAU DES 5M

A partir du tableau ci-dessus nous avons généré le diagramme d'ISHIKAWA suivant :

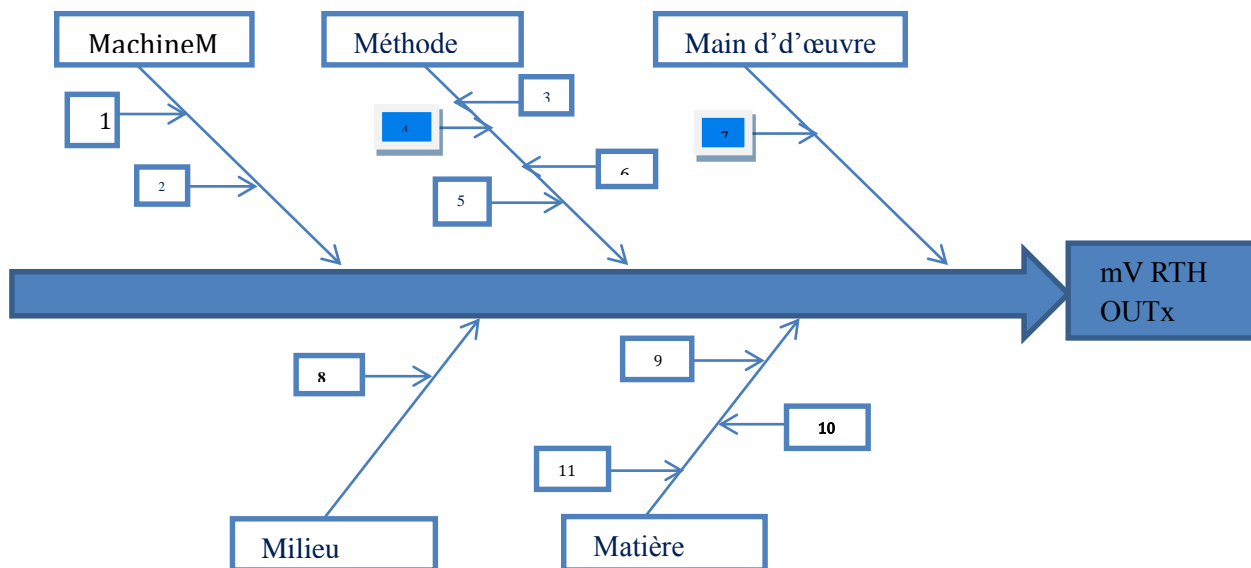


FIGURE 45: DIAGRAMME D'ISHIKAWA

## b) Identification du défaut paramétrique « mV RTH OUTx »

Afin d'identifier le défaut « mV RTH OUTx » nous allons nous diriger vers les méthodes de détection des défauts d'assemblage, on trouve principalement l'analyse par rayons X. En effet, cette analyse convient aux tâches d'inspection manuelles d'échantillons exigeant le plus haut niveau de sensibilité du contraste.

### ANALYSE PAR RAYONS X DES COMPOSANTS REPRESENTANT UN DEFAUT DE RESISTANCE THERMIQUE :

Afin d'identifier l'origine de ce défaut, nous avons procédé à l'analyse de quelques pièces défectueuses par rayons X. Cette méthode permet de détecter d'éventuelles anomalies provenant de la partie de l'assemblage, notamment la présence de bulles d'air au niveau du préforme et qui est causée par la couche die-attach.

Après une analyse par rayons X d'un échantillon de pièces représentant un défaut au niveau du paramètre « mV RTH OUTx », nous avons trouvé les résultats suivants (voir figure 45) :



FIGURE 46: ANALYSE X-RAY DE PIECES PRESENTANT UN POURCENTAGE DE BULLES D'AIR ELEVE

Les résultats obtenus confirment la présence de bulles d'air au niveau de la préforme avec un pourcentage supérieur à la norme, vu que le pourcentage maximal toléré de bulles d'air est de 10% de la surface de la puce. La formation de bulles d'air reflète une anomalie au niveau de la partie de l'assemblage et plus précisément au niveau du « die attach ». Cette partie de l'assemblage sera détaillée par la suite afin de cerner l'origine du problème.

## c) Processus du die attach

Dans les industries de fabrication de semi-conducteurs, le procédé de fixation de puces ou die attach est une étape critique. En termes simples, la fixation des puces est le fait de prendre une puce à partir du disque de wafer et la placer sur le substrat ou sur la grille de connexion. La fixation de puces semble être une étape simple dans la chaîne de fabrication de semi-conducteurs. Toutefois, les

exigences croissantes en continu des applications d'aujourd'hui créent des défis difficiles dans le collage.

Pour la ligne WATT, on utilise un matériau de soudure pour lier la grille de connexion (lead frame). La soudure est introduite sous forme de fil de préforme qui est fondu sur la surface de la grille de connexion à chaud par un point de soudure liquide. Une puce est placée sur la soudure à chaud et, dès que la soudure se refroidit, une liaison solide est établie. Un profil de température contrôlée est nécessaire pour définir la transition solide/ liquide. Là encore, une formation d'une atmosphère de gaz protecteur est nécessaire pour éviter l'oxydation de la grille de connexion. Ci-dessous un schéma (figure 46) qui résume l'opération de die attach en général.

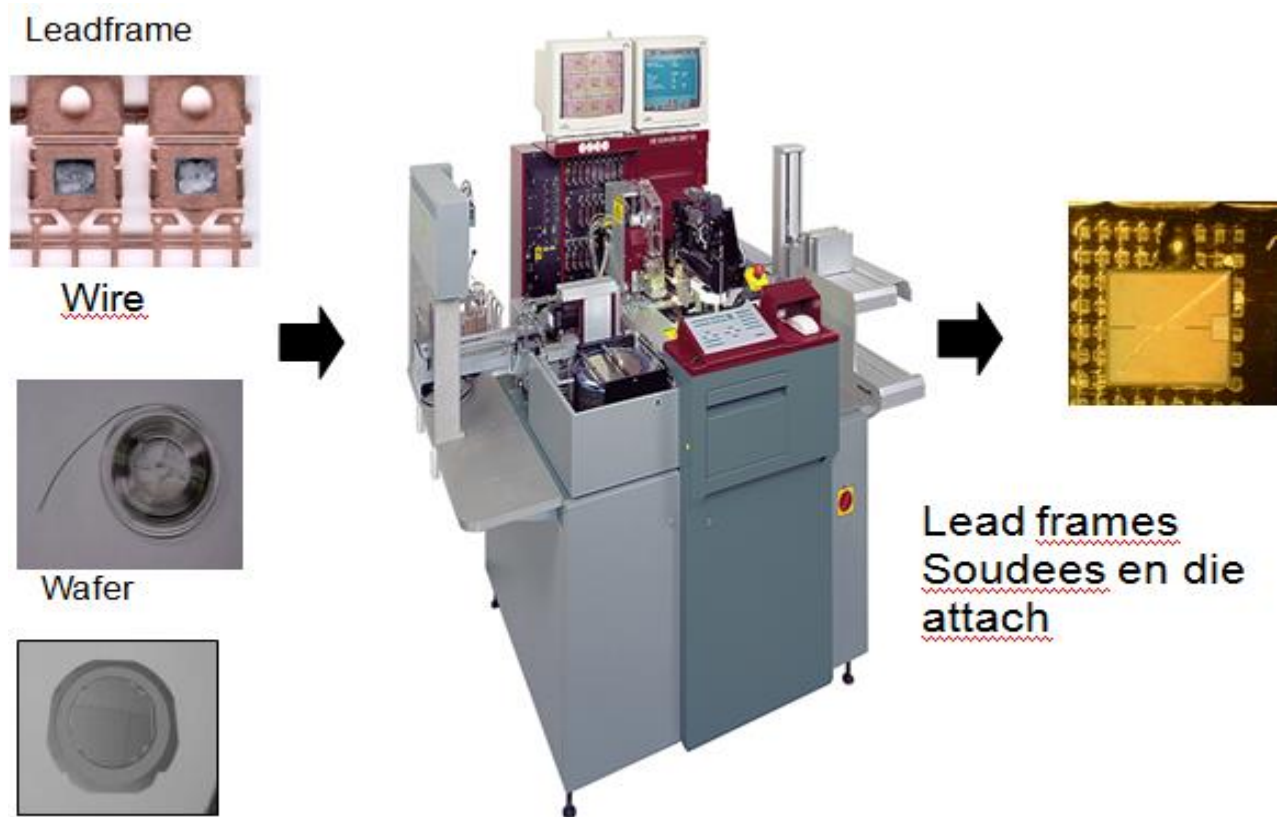
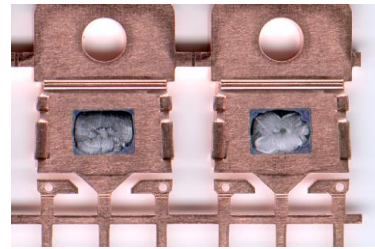


FIGURE 47: PROCESS DE DIE ATTACH

En effet la procédure de die attach est réalisée en quatre étapes [9] :

- Préparation:

Dans cette étape est réalisée la fusion de la préforme sur le radiateur. La quantité de la préforme à dispenser est définie au préalable en fonction de la dimension des puces à attacher.

- Etalage de la préforme :



Dans cette étape est réalisé l'étalage de la préforme à l'aide d'un outil carbone actionné par un vérin. Ce module est appelé PPM (Press Preform Module)

- Piquage :

Durant cette étape la puce est déplacée depuis le disque de wafer et transportée vers la grille de connexion.

- Liaison :

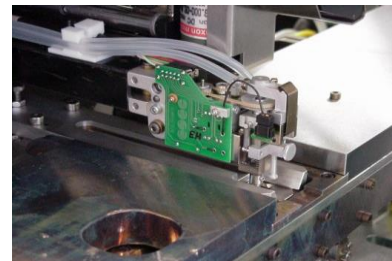
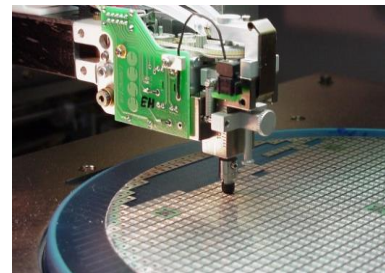
En dernier la puce est placée sur la grille de connexion, son emplacement est précisément défini selon différents paramètres.

La couche die-attach a deux fonctions principales:

- La fixation mécanique de la puce
- Dissipation de la chaleur dans la puce spécialement pour les applications de puissance.

En effet, la dissipation de chaleur doit être garantie tout au long de la vie du composant. Pour ce faire, la préforme doit couvrir complètement la surface entre la grille de connexion et la puce, et par conséquent garantir une bonne adhésion de la soudure et un taux de bulles d'air non considérable. Typiquement, pour les applications de forte puissance, le taux de bulles d'air toléré est de 5% de la surface de la puce.

De ce fait, l'étape de die attach est souvent l'origine de plusieurs défaillances, notamment la formation des bulles d'air au niveau de la préforme, pour cela nous allons définir les paramètres d'entrée (tableau 16) de la machine de die attach vu que ce sont les paramètres qui impactent le plus le bon fonctionnement de celle-ci.



Le tableau ci-dessous représente les paramètres d'entrée ainsi que leurs valeurs nominales :

|             | Paramètres d'entrée   | Valeurs nominales  |
|-------------|---|--|
| Gaz         | Pression N <sub>2</sub> H <sub>2</sub><br>Débit N <sub>2</sub> H <sub>2</sub> | 1.8<P<3 BARS<br>300<D<500 l/h  |
| Température | Zones de chauffage (8 zones)<br><br>Chute de température                      | Z1 :280°C    Z2 :370°C    Z3 :390°C<br>Z4 :400°C    Z5 :410°C    Z6 :405°C<br>Z7 :280°C    Z8 :210°C<br><br>+/- 15°C |
| Piquage     | Le temps de pick<br>Position de la puce                                       | 50+/-5 ms<br>0.9--> 1.2 mm   |
| Liaison     | Temps de bond<br>Quantité de préforme   | 50+/-5 ms<br>80+/-10mg --> 120+/-10mg  |
| préparation | Hauteur de dispenser de préforme par rapport à la grille de connexion         | 2 ->4mm  |

TABLEAU 16 : PARAMETRES D'ENTREE DE LA MACHINE DE DIE ATTACH

#### D) IMPROVE

##### a) Elaboration d'un plan d'action:

Maintenant que nous avons recherché les causes principales de ce défaut, nous allons procéder à l'élaboration d'un plan d'action.

Les analyses X-ray ont démontré qu'il s'agissait d'un problème de formation de bulles d'air au niveau de la préforme, et ce dû au processus du Die attach. Comme nous avons vu auparavant, il y a plusieurs paramètres susceptibles de solliciter la formation de ces vides au niveau de la préforme. Un brainstorming avec l'équipe responsable du die attach nous a permis de tirer les paramètres les plus influents, à savoir :

- Pression du gaz N<sub>2</sub>H<sub>2</sub> non conforme aux spécifications



- Température de fusion dans les zones de chauffage non conforme
- Mauvais étalage de la préforme

|                  | <b>Action</b>   |
|------------------|---|
| Gaz              | Vérification de la pression du gaz N <sub>2</sub> H <sub>2</sub>  |
| Température      | Vérification de la température des différentes zones de chauffage |
| Etalage préforme | Vérification du bon fonctionnement du PPM                         |

TABLEAU 16 : PLAN D'ACTION

#### b) Application du plan d'action :

##### VERIFICATION DE LA TEMPERATURE DU FOUR

La fusion de la préforme est une étape très importante dans le processus de die-attach, en effet le fait de chauffer la préforme conditionne le collage de la puce sur la grille de connexion. Comme nous avons vu auparavant la préforme passe par un four constitué de plusieurs zones de chauffage, chacune de ces zones a une température précise. Afin de vérifier le niveau de température de chaque zone, la machine de die attach est munie d'un thermorégulateur qui compare la température réelle pendant le fonctionnement à la température souhaitée et procède au réglage nécessaire pour réduire l'écart entre eux. Après vérification, il s'est avéré qu'il y a quelques zones qui connaissent un écart de température.

##### VERIFICATION DU DEBIT DU GAZ N<sub>2</sub>H<sub>2</sub>

La préforme est constituée de plomb, d'argent et d'étain, le plomb et l'étain sont facilement oxydables. Donc, Afin d'éviter l'oxydation de la préforme avant le collage de la puce, ce qui pourrait augmenter le pourcentage de vides, on utilise le gaz N<sub>2</sub>H<sub>2</sub> pour ses propriétés anti oxydantes. Une augmentation de son débit entrainerait une baisse de température et rendrait le processus incapable. Nous avons procédé à la vérification du débit qui doit être compris entre 300 et 500 l/h . Nous n'avons relevé aucune anomalie. Par contre nous avons remarqué des fuites au niveau des tuyaux conduisant le N<sub>2</sub>H<sub>2</sub>.

VERIFICATION DE L'ÉTALAGE DE LA PREFORME

Avant le collage de la puce sur la grille de connexion et afin de garantir l'étalage de la préforme sur toute la surface de la puce, on utilise le PPM ( press preform module ) . Ce module est actionné par un vérin lié à un outil carbone responsable de l'étalage de la préforme. Un dysfonctionnement de celui-ci produirait un mauvais étalage de la préforme et par conséquent une discontinuité de la soudure ou formation de bulles d'air.. Proposition des solutions :

Les actions citées auparavant nous ont permis d'élaborer un ensemble de solutions selon les problèmes détectés (tableau 17).

| <b>Problèmes</b>                                 | <b>Solutions</b>  |
|--|---|
| Mauvais étalage de la préforme                   | Changement des verins.                                    |
| Outil Carbone usé et non nettoyé                 | Nettoyage des outils de carbone.                          |
| Problèmes au niveau de la tuyauterie du gaz N2H2 | Vérification et changement de tous les tuyaux à problèmes |

TABLEAU 17 : SOLUTIONS PROPOSEES

## 5. CONTROL

### a) Evolution du rendement après l'implantation des solutions :

L'implantation des solutions n'a eu lieu qu'en mois de mai, ce qui fait que l'évolution du rendement mensuel ne pourra être remarquée qu'à partir de la fin du mois de juin. Néanmoins, nous avons remarqué à travers un suivi journalier de la race L690, la diminution du taux de rejet.

### b) actions préventives

Afin de maintenir les résultats obtenus et d'éviter l'occurrence de ce défaut, nous avons mis en place un ensemble d'actions préventives.

- Changement de la fréquence de tirage du profil de température des zones de chauffage : vérification hebdomadaire au lieu de mensuelle.
- Généralisation du module d'étalage de la préforme (PPM) sur toutes les machines de die attach : il n'était utilisé que pour deux machines.
- Mise en place un plan de nettoyage de l'outil carbone chaque début d'équipe.

## Conclusion générale

Arrivées à terme de notre projet, nous avons pu répondre au cahier des charges imposé. En effet les solutions que nous avons proposées ont permis de diminuer le taux de défaillance.

Notre démarche a consisté dans un premier temps à analyser l'historique des rendements pendant toute l'année 2013 et les mois de Janvier, février 2014. A travers une analyse Pareto, nous avons pu déterminer le type de défauts qui impacte le plus la production de la ligne WATT. Nous avons constaté qu'il s'agissait des défauts paramétriques, c'est pour cela que nous avons décidé de nous intéresser en particulier aux pièces présentant ce type de défaut. Par la suite, et à travers une autre analyse Pareto nous avons défini les composants les plus pénalisants en termes de taux de défauts paramétriques et qui appartiennent à la famille des amplificateurs audio (le TDA7377 et le STA540). Enfin, nous avons cerné les défauts paramétriques qui les impactent le plus, à savoir un défaut au niveau du gain en tension pour l'un et un défaut de résistance thermique pour l'autre.

Or, il s'est avéré que l'élimination de ces défauts paramétriques demande une analyse approfondie qui prend en compte divers paramètres. Une étude théorique et bibliographique ainsi qu'un brainstorming avec l'équipe de la zone test & finishing nous ont permis de classer les causes possibles de ces défauts en trois grandes familles : défauts d'assemblage (back end), défauts au niveau du front-end et défauts au niveau des équipements de test. Nous nous sommes par la suite basées sur des tests et des analyses afin de déterminer le facteur qui impacte le bon fonctionnement de chacune des pièces étudiées.

La connaissance de ces facteurs nous a enfin permis de proposer des solutions permettant l'élimination de ces défauts. Ces solutions diffèrent d'une pièce à l'autre, elles portent pour l'une sur la remise en état des équipements de test et pour l'autre sur la réparation de la machine de « die attach ». L'ensemble de solutions proposées générerait un gain considérable en termes de rendement et de coût.

# ANNEXES

Annexe 1 : Cahier de charge la race L022

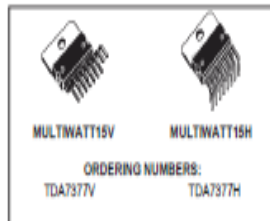
Coetec Micro-Technology Co.,Ltd.  
Tel:0755-0880440 http://www.coetec.com



TDA7377

2 x 30W DUAL/QUAD POWER AMPLIFIER FOR CAR RADIO

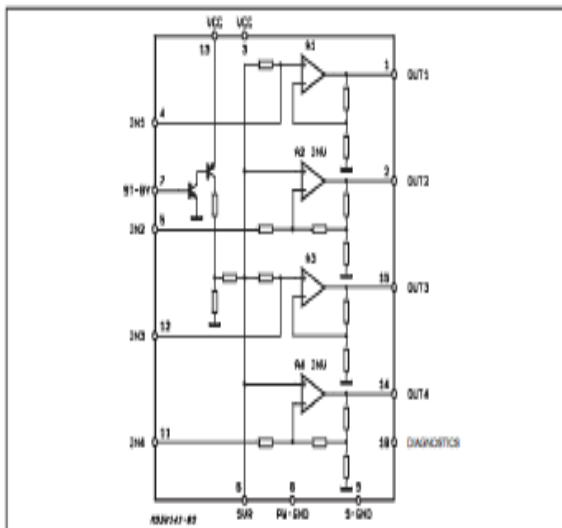
- HIGH OUTPUT POWER CAPABILITY:
  - 2 x 35W max.4Ω
  - 2 x 30W/4Ω EIAJ
  - 2 x 30W/4Ω EIAJ
  - 2 x 20W/4Ω @14.4V, 1KHz, 10%
  - 4 x 6W/4Ω @14.4V, 1KHz, 10%
  - 4 x 10W/2Ω @14.4V, 1KHz, 10%
- MINIMUM EXTERNAL COMPONENTS COUNT:
  - NO BOOTSTRAP CAPACITORS
  - NO BOUCHEROT CELLS
  - INTERNALLY FIXED GAIN (26dB 8TL)
- ST-BY FUNCTION (CMOS COMPATIBLE)
- NO AUDIBLE POP DURING ST-BY OPERATIONS
- DIAGNOSTICS FACILITY FOR:
  - CLIPPING
  - OUT TO GND SHORT
  - OUT TO V<sub>S</sub> SHORT
  - SOFT SHORT AT TURN-ON
  - THERMAL SHUTDOWN PROXIMITY



- TO GND
- TO V<sub>S</sub>
- ACROSS THE LOAD
- SOFT SHORT AT TURN-ON
- OVERRATING CHIP TEMPERATURE WITH SOFT THERMAL LIMITER
- LOAD DUMP VOLTAGE SURGE
- VERY INDUCTIVE LOADS
- FORTUITOUS OPEN GND
- REVERSED BATTERY
- ESD

- Protections:
- OUTPUT AC/DC SHORT CIRCUIT

BLOCK DIAGRAM



September 1998 1/10

Coetec Micro-Technology Co.,Ltd.  
Tel:0755-0880440 http://www.coetec.com  
TDA7377

DESCRIPTION

The TDA7377 is a new technology class AB car radio amplifier able to work either in DUAL BRIDGE or QUAD SINGLE ENDED configuration. The exclusive fully complementary structure of the output stage and the internally fixed gain guaran-

tees the highest possible power performances with extremely reduced component count. The on-board clip detectors simplifies gain compression operation. The fault diagnostics makes it possible to detect mistakes during car radio set assembly and wiring in the car.

GENERAL STRUCTURE

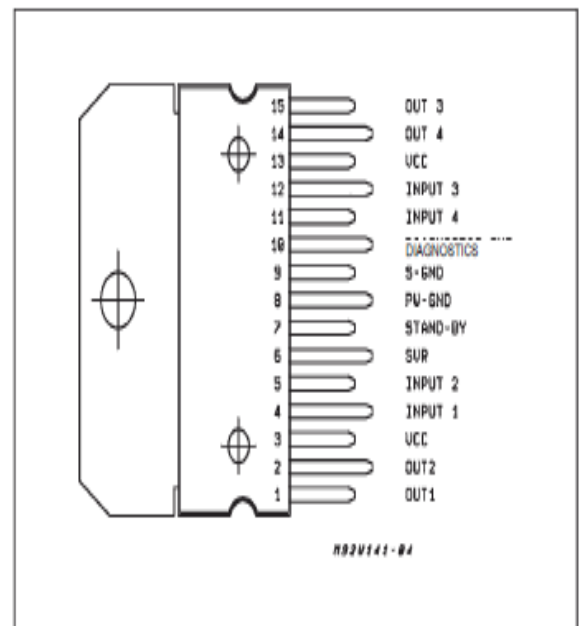
ABSOLUTE MAXIMUM RATINGS

| Symbol                            | Parameter                                      | Value      | Unit |
|-----------------------------------|--|------------|------|
| V <sub>OP</sub>                   | Operating Supply Voltage                       | 18         | V    |
| V <sub>S</sub>                    | DC Supply Voltage                              | 28         | V    |
| V <sub>OSPK</sub>                 | Peak Supply Voltage (for t = 50ms)             | 50         | V    |
| I <sub>O</sub>                    | Output Peak Current (not repetitive t = 100µs) | 4.5        | A    |
| I <sub>O</sub>                    | Output Peak Current (repetitive f > 10Hz)      | 3.5        | A    |
| P <sub>tot</sub>                  | Power Dissipation (T <sub>case</sub> = 85°C)   | 38         | W    |
| T <sub>stg</sub> , T <sub>j</sub> | Storage and Junction Temperature               | -40 to 150 | °C   |

THERMAL DATA

| Symbol                  | Description                      | Value   | Unit |
|-------------------------|----------------------------------|---------|------|
| R <sub>th(j-case)</sub> | Thermal Resistance Junction-case | Max 1.8 | °C/W |

PIN CONNECTION (Top view)



2/10

Coetec Micro-Technology Co.,Ltd.  
Tel: 0755-25889440 http://www.coetec.com

TDA7377

ELECTRICAL CHARACTERISTICS (Refer to the test circuit,  $V_S = 14.4V$ ,  $R_L = 4\Omega$ ,  $f = 1KHz$ ,  $T_{amb} = 25^\circ C$ , unless otherwise specified)

| Symbol       | Parameter                                | Test Condition  | Min. | Typ. | Max. | Unit       |
|--------------|--|---|------|------|------|------------|
| $V_S$        | Supply Voltage Range                     |   | 8    |      | 18   | V          |
| $I_Q$        | Total Quiescent Drain Current            | $R_L = \infty$  |      |      | 150  | mA         |
| $V_{OS}$     | Output Offset Voltage                    |   |      |      | 150  | mV         |
| $P_{O1}$     | Output Power                             | THD = 10%, $R_L = 4\Omega$ Bridge                     | 18   | 20   |      | W          |
|              |  | Single Ended  | 5.5  | 6    |      | W          |
|              |  | Single Ended, $R_L = 2\Omega$                         |      | 10   |      | W          |
| $P_{O1max}$  | Max. Output Power (**)                   | $V_S = 14.4V$ Bridge                                  | 31   | 35   |      | W          |
| $P_{O1EIAJ}$ | EIAJ Output Power (**)                   | $V_S = 13.7V$ Bridge                                  | 27   | 30   |      | W          |
| THD          | Distortion                               | $R_L = 4\Omega$ Single Ended, $P_O = 0.1$ to $4W$     |      | 0.02 |      | %          |
|              |  | Bridge, $P_O = 0.1$ to $10W$                          |      | 0.03 | 0.3  | %          |
|              |  | $f = 1KHz$ Single Ended                               |      | 70   |      |            |
| CT           | Cross Talk                               | $f = 1KHz$ Single Ended                               |      | 60   |      | dB         |
|              |  | Bridge  |      | 55   |      | dB         |
|              |  | $f = 10KHz$ Bridge                                    |      | 60   |      | dB         |
| $R_{in}$     | Input Impedance                          | Single Ended  | 20   | 30   |      | K $\Omega$ |
|              |  | Bridge  | 10   | 15   |      | K $\Omega$ |
| $G_V$        | Voltage Gain                             | Single Ended  | 19   | 20   | 21   | dB         |
| $G_V$        | Voltage Gain Match                       | Bridge  | 25   | 26   | 27   | dB         |
| $G_V$        | Voltage Gain Match                       |   |      |      | 0.5  | dB         |
| EN           | Input Noise Voltage                      | $R_G = 0$ , *A* weighted, S.E. Non Inverting Channels |      | 2    |      | $\mu V$    |
|              |  | Inverting Channels                                    |      | 5    |      | $\mu V$    |
|              |  | Bridge  |      | 3.5  |      | $\mu V$    |
| SVR          | Supply Voltage Rejection                 | $R_G = 0$ , $f = 300Hz$                               |      | 50   |      | dB         |
|              |  | $P_O = 1W$  |      | 80   | 90   | dB         |
| $I_{SB}$     | ST-BY Current Consumption                | Varies = 0 to 1.5V                                    |      |      | 100  | $\mu A$    |
| $V_{SB}$     | ST-BY In Threshold Voltage               |   |      |      | 1.5  | V          |
| $V_{SB}$     | ST-BY Out Threshold Voltage              |   | 3.5  |      |      | V          |
| $I_{SP}$     | ST-BY Pin Current                        | Play Mode $V_{SP} = 5V$                               |      |      | 50   | $\mu A$    |
|              |  | Max Driving Current Under Fault(*)                    |      |      | 5    | mA         |
| $I_{CLD}$    | Clipping Detector Output Average Current | $d = 1\%$ (**)  |      | 90   |      | $\mu A$    |
| $I_{CLD}$    | Clipping Detector Output Average Current | $d = 5\%$ (**)  |      | 160  |      | $\mu A$    |
| $V_{ampst}$  | Voltage Saturation on pin 10             | Sink Current at Pin 10 = 1mA                          |      |      | 0.7  | V          |

(\*) See built-in-SIC protection description  
(\*\*) Pin 10 Pulled-up to 5V with 10K $\Omega$ ,  $R_L = 4\Omega$   
(\*\*\*) See [www.coetec.com](http://www.coetec.com)



Coetec Micro-Technology Co.,Ltd.  
Tel: 0755-25889440 http://www.coetec.com  
TDA7377

STANDARD TEST AND APPLICATION CIRCUIT

Figure 1: Quad Stereo

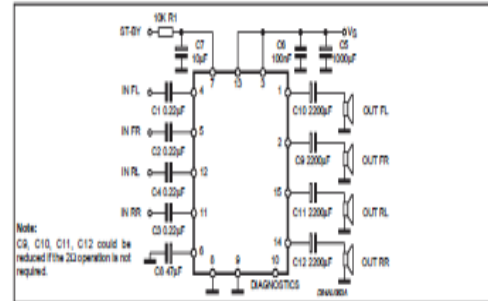


Figure 2: Double Bridge

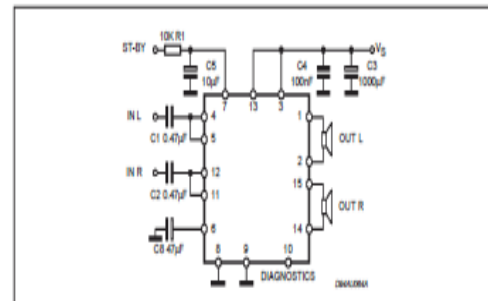
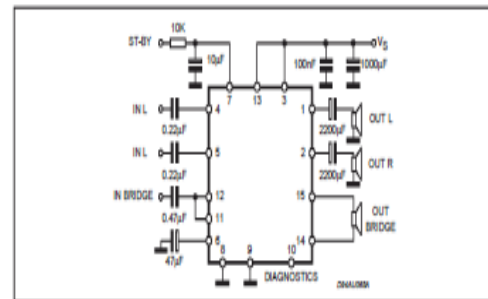


Figure 3: Stereo/Bridge



Annexe 2 : Cahier de charge de la race L690

**ST** STA540  
4 x 13 W dual/quad power amplifier

Datasheet – production data

**Features**

- High output power capability
  - 2x 38 W into 4 Ω at 18 V, 1 kHz, 10% THD
  - 2x 34 W into 8 Ω at 22 V, 1 kHz, 10% THD
  - 2x 24W into 4Ω at 14.4 V, 1 kHz, 10% THD
  - 2x 15 W into 8 Ω at 16 V, 1 kHz, 10% THD
  - 4x 13 W into 2 Ω at 15 V, 1 kHz, 10% THD
  - 4x 11 W into 4 Ω at 18 V, 1 kHz, 10% THD
  - 4x 7 W into 4 Ω at 14.4 V, 1 kHz, 10% THD

- Minimum external components count:
  - no bootstrap capacitors
  - no Boucherot cells
  - internally fixed gain 20 dB

- Standby function (CMOS compatible)
- No audible pop during standby operations

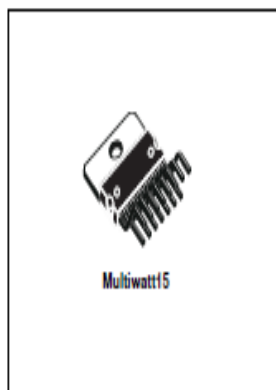
- Diagnostic facilities:
  - clip detector
  - output to GND short-circuit detector
  - output to VS short-circuit detector
  - soft short-circuit check at turn-on
  - thermal shutdown warning

**Protection**

- Output AC/DC short circuit
- Soft short-circuit check at turn-on
- Thermal cutoff/limiter to prevent chip from overheating
- High inductive loads
- ESD

Table 1. Device summary

| Order code | Temperature range | Package     | Packing |
|------------|-------------------|-------------|---------|
| STA540     | -40 to 150° C     | Multiwatt15 | Tube    |



**Description**

The STA540 is a 4-channel, class-AB audio amplifier designed for high quality sound applications.

The amplifiers have single-ended outputs with integrated short-circuit protection, thermal protection and diagnostic functions.

The chip is housed in the 15-pin Multiwatt ECOPACK® Pb-free package which is RoHS (2002/95/EC) compliant.

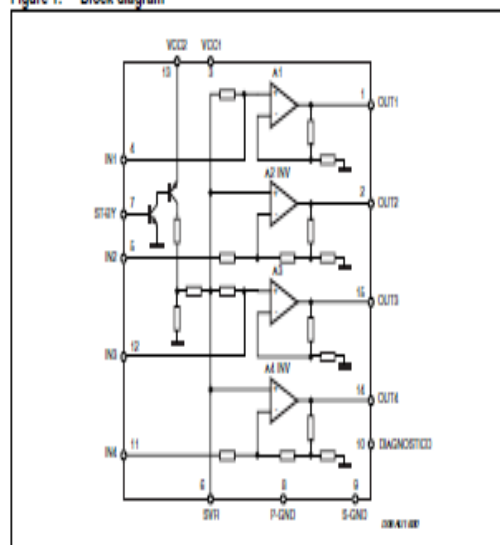
Block diagram and pin description

STA540

1 Block diagram and pin description

1.1 Block diagram

Figure 1. Block diagram



## 1.2 Pin description

Figure 2. Pin connection (top view)

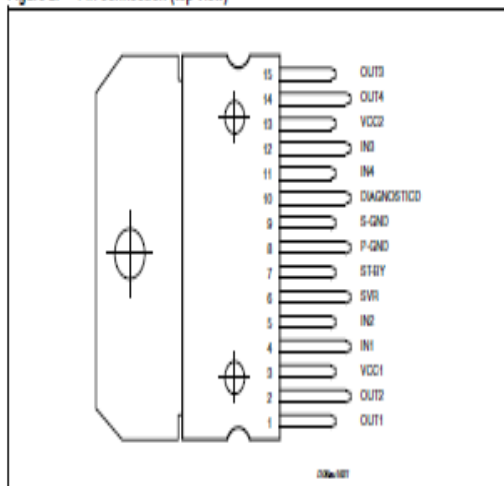


Table 2. Pin description

| N° | Name        | Type | Function                 |
|----|-------------|------|--------------------------|
| 1  | OUT1        | OUT  | Channel 1 output         |
| 2  | OUT2        | OUT  | Channel 2 output         |
| 3  | VCC1        | PWR  | Power supply             |
| 4  | IN1         | IN   | Channel 1 input          |
| 5  | IN2         | IN   | Channel 2 input          |
| 6  | SVR         | IN   | Supply voltage rejection |
| 7  | ST-BY       | IN   | Standby control pin      |
| 8  | P-GND       | PWR  | Power ground             |
| 9  | S-GND       | PWR  | Signal ground            |
| 10 | DIAGNOSTICD | OUT  | Diagnostics output       |
| 11 | IN4         | IN   | Channel 4 input          |
| 12 | IN3         | IN   | Channel 3 input          |
| 13 | VCC2        | PWR  | Power supply             |
| 14 | OUT4        | OUT  | Channel 4 output         |
| 15 | OUT3        | OUT  | Channel 3 output         |

## 2 Electrical specifications

### 2.1 Absolute maximum ratings

Table 3. Absolute maximum ratings

| Symbol         | Parameter   | Value      | Unit             |
|----------------|---|------------|------------------|
| $V_s$          | Supply voltage idle mode (no signal)                      | 24         | V                |
|                | Supply voltage operating                                  | 22         | V                |
|                | Supply voltage AC-DC short sale                           | 20         | V                |
| $P_{tot}$      | Total power dissipation ( $T_{case} = 85^\circ\text{C}$ ) | 36         | W                |
| $T_{stg}, T_j$ | Storage and junction temperature                          | -40 to 150 | $^\circ\text{C}$ |
| $T_{op}$       | Operating temperature                                     | 0 to 70    | $^\circ\text{C}$ |

### 2.2 Thermal data

Table 4. Thermal data

| Symbol           | Parameter                                    | Value | Unit               |
|------------------|--|-------|--------------------|
| $R_{th(j-case)}$ | Thermal resistance junction to case (max)    | 1.8   | $^\circ\text{C/W}$ |
| $R_{th(j-amb)}$  | Thermal resistance junction to ambient (max) | 35    | $^\circ\text{C/W}$ |

### 2.3 Electrical characteristics

The test conditions are  $V_S = 14.4\text{ V}$ ,  $R_L = 4\ \Omega$ ,  $f = 1\text{ kHz}$ ,  $T_{amb} = 25^\circ\text{C}$  unless otherwise specified.

Table 5. Electrical characteristics

| Symbol   | Parameter                     | Test condition   | Min  | Typ            | Max | Unit |
|----------|-------------------------------|--|------|----------------|-----|------|
| $V_S$    | Supply voltage range          |  | 8    |                | 22  | V    |
| $I_d$    | Total quiescent drain current |  |      | 80             | 150 | mA   |
| $V_{os}$ | Output offset voltage         |  | -150 |                | 150 | mV   |
| $P_o$    | Output power, SE              | THD=10%, $R_L=4\ \Omega$<br>THD=10%, $R_L=2\ \Omega$<br>THD=10%, $R_L=4\ \Omega$ , $V_S=22\text{ V}$                     | 6.5  | 7<br>11.5      |     | W    |
|          | Output power, BTL             | THD=10%, $R_L=4\ \Omega$<br>THD=10%, $R_L=8\ \Omega$ , $V_S=17\text{ V}$<br>THD=10%, $R_L=8\ \Omega$ , $V_S=22\text{ V}$ | 21   | 24<br>20<br>34 |     | W    |
| THD      | Total harmonic distortion     | $R_L = 4\ \Omega$ , $P_o = 0.1\text{ to }4\text{ W}$   |      | 0.02           |     | %    |
| $I_{sc}$ | Short-circuit output current  |  | 4.0  |                |     | A    |



Table 5. Electrical characteristics (continued)

| Symbol           | Parameter                                | Test condition  | Min | Typ | Max | Unit         |
|------------------|--|---|-----|-----|-----|--------------|
| $C_T$            | Crosstalk                                | $f = 1$ kHz single-ended                              |     | 70  |     | dB           |
|                  |  | $f = 10$ kHz single-ended                             |     | 60  |     |              |
|                  |  | $f = 1$ kHz BTL                                       | 55  |     |     |              |
|                  |  | $f = 10$ kHz BTL                                      | 60  |     |     |              |
| $R_{IN}$         | Input impedance                          | Single-ended BTL                                      | 20  | 30  |     | k $\Omega$   |
| $G_V$            | Voltage gain                             | Single-ended BTL                                      | 19  | 20  | 21  | dB           |
|                  |  |   | 25  | 26  | 27  |              |
| $G_V$            | Voltage gain match                       |   |     |     | 0.5 | dB           |
| $E_N$            | Input noise voltage                      | $R_{gen} = 0$ , "A" weighted, S.E.:                   |     | 2   |     | $\mu$ V      |
|                  |  | Non-inverting channels                                |     | 5   |     | $\mu$ V      |
|                  |  | Inverting channels                                    |     | 3.5 |     | $\mu$ V      |
|                  |  | BTL   |     |     |     | $\mu$ V      |
|                  |  | $R_{gen} = 0$ , $f = 22$ Hz to 22 kHz                 |     |     |     | $\mu$ V      |
| SVR              | Supply voltage rejection                 | $R_{gen} = 0$ , $f = 300$ Hz, $C_{SVM} = 470$ $\mu$ F | 50  |     |     | dB           |
| $A_{SD}$         | Standby attenuation                      | $P_O = 1$ W   | 80  | 90  |     | dB           |
| $I_{SD}$         | Current consumption in standby           | $V_{ST\_BY} = 0$ to 1.5 V                             |     |     | 100 | $\mu$ A      |
| $V_{SD}$         | ST-BY IN threshold voltage               |   |     |     | 1.5 | V            |
|                  | ST-BY OUT threshold voltage              |   | 3.5 |     |     | V            |
| $I_{ST\_BY}$     | Pin ST-BY current                        | Play mode, $V_{ST\_BY} = 5$ V                         |     |     | 50  | $\mu$ A      |
|                  |  | Max driving current under fault                       |     |     | 5   | mA           |
| $I_{CL\_OFF}$    | Clipping detector output average current | $d = 1\%$ (*)   |     | 90  |     | $\mu$ A      |
| $I_{CL\_ON}$     | Clipping detector output average current | $d = 5\%$ (*)   |     | 160 |     | $\mu$ A      |
| $V_{DIAGNOSTIC}$ | Saturation voltage on pin DIAGNOSTIC     | $I_{DIAGNOSTIC} = 1$ mA sinking                       |     |     | 0.7 | V            |
| $T_W$            | Thermal warning                          |   |     | 140 |     | $^{\circ}$ C |
| $T_M$            | Thermal muting                           |   |     | 150 |     | $^{\circ}$ C |
| $T_S$            | Thermal shutdown                         |   |     | 160 |     | $^{\circ}$ C |

### 3 Standard application circuits

Figure 3. Quadraphonic

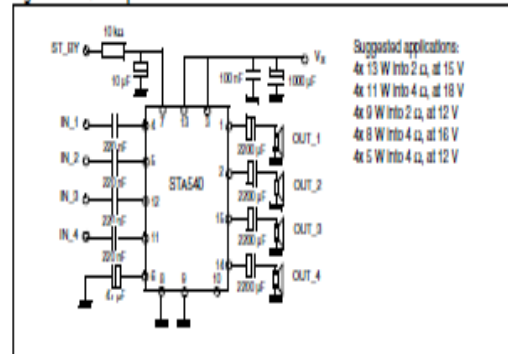


Figure 4. Alternative single-ended speaker connection

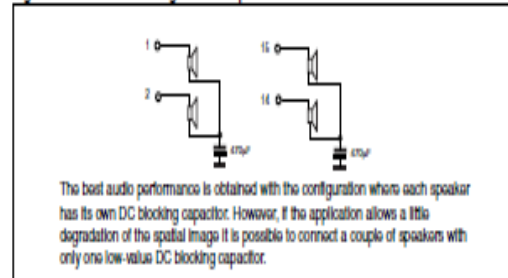
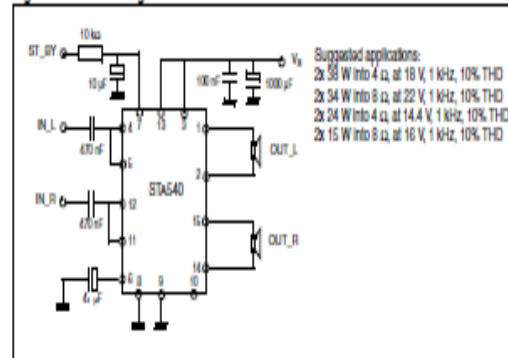
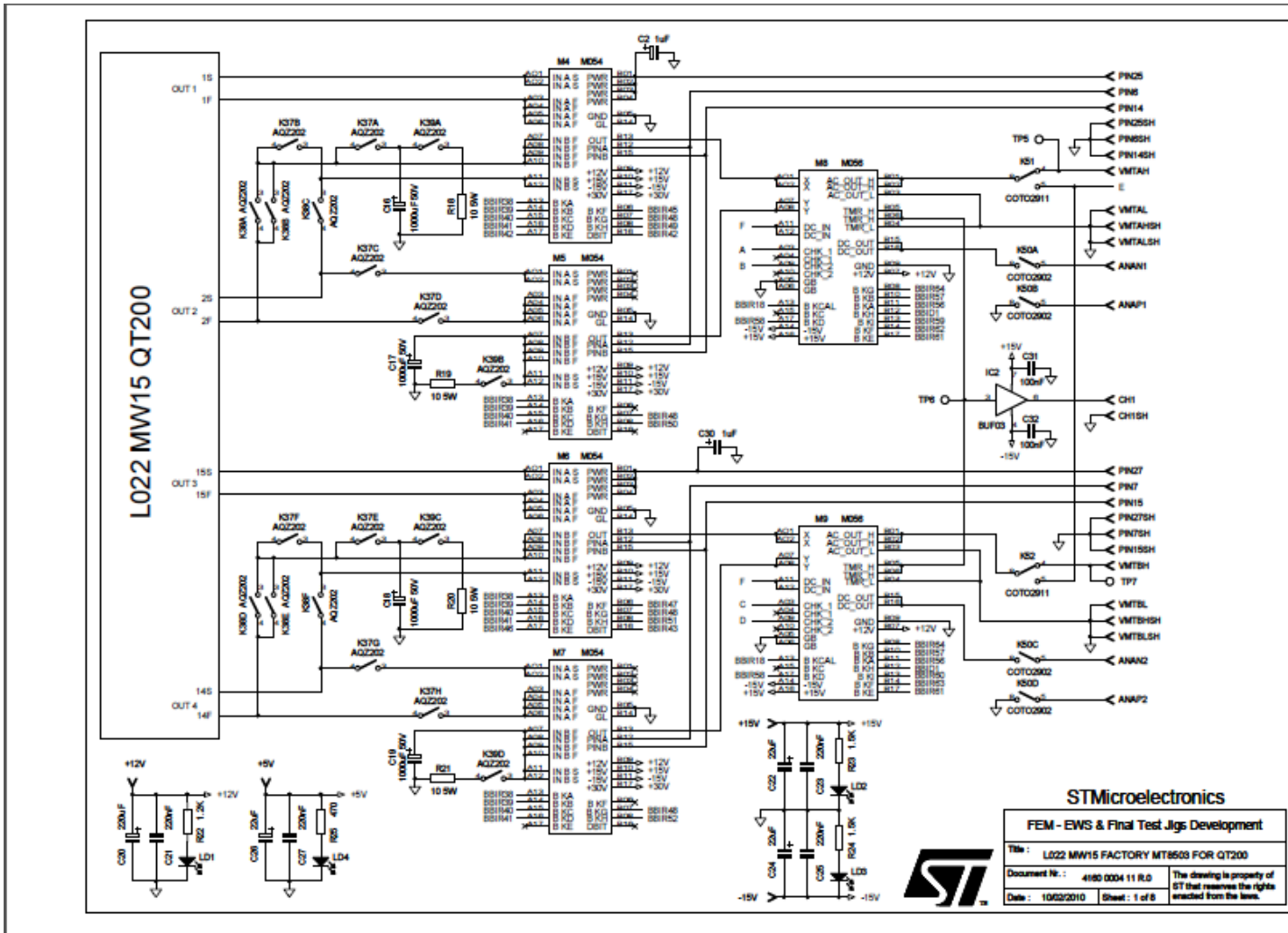
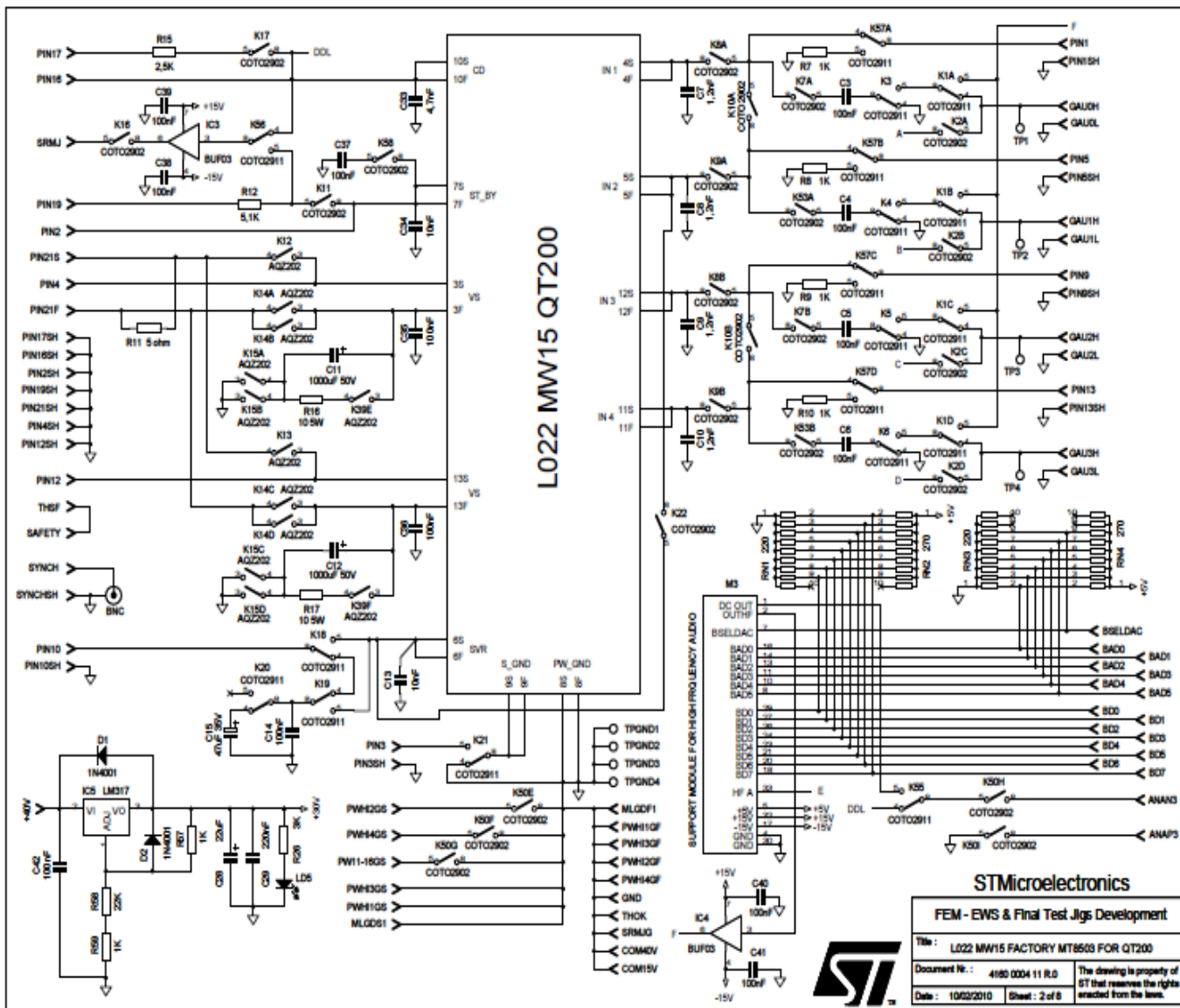


Figure 5. Dual bridge



Annexe 3 : schéma du Jig de la race L022





## REFERENCES BIBLIOGRAPHIQUES

- [1] KORANDJIE, U. (2013). *RAPPORT DE STAGE*. EMSI.
- [2] BASSETTO, D. S. (2005). *Thèse de doctorat : CONTRIBUTION A LA QUALIFICATION ET AMELIORATION DES MOYENS DE PRODUCTION*. Metz: Ecole Nationale Supérieure d'Arts et Métiers.
- [3] (s.d.). Récupéré sur <http://www.ouati.com/gestion-methode-qoqcp.php>
- [4] Bellihi, H. (2012). *thèse : Management de la qualité*. AGADIR: Ecole nationale de commerce et de gestion.
- [5] (s.d.). Récupéré sur <http://www.innovation.public.lu/fr/ir-entreprise/techniques-gestion-innovation/resolution-probleme/080629-Diagramme-Ishikawa-fran.pdf>
- [6] AUBERT, A. (2014). Thèse de doctorat: *Analyse de défaillance de nouvelles technologies microélectroniques*. Université de Bordeaux 1.
- [7] Giacomazzi, M. (2009, mai 18). *Les radiateurs - Refroidissement des semiconducteurs*. Récupéré sur <http://www.giacomazzi.fr/electron/radiateur/radiateur.htm>
- [8] Redoutey, J. (2012). COURS CIRCUITS HYBRIDES . Marseille: Ecole centrale .
- [9] SLIMI, A. (2014). *process Die attach*. STmicroelectronics Bouskoura, Bouskoura.